

# I.MX8MP EMC测试和LVDS展频等措施

2023 SEP

CAS: MAGGIE JIANG



EXTERNAL USE



SECURE CONNECTIONS  
FOR A SMARTER WORLD

# EMC测试

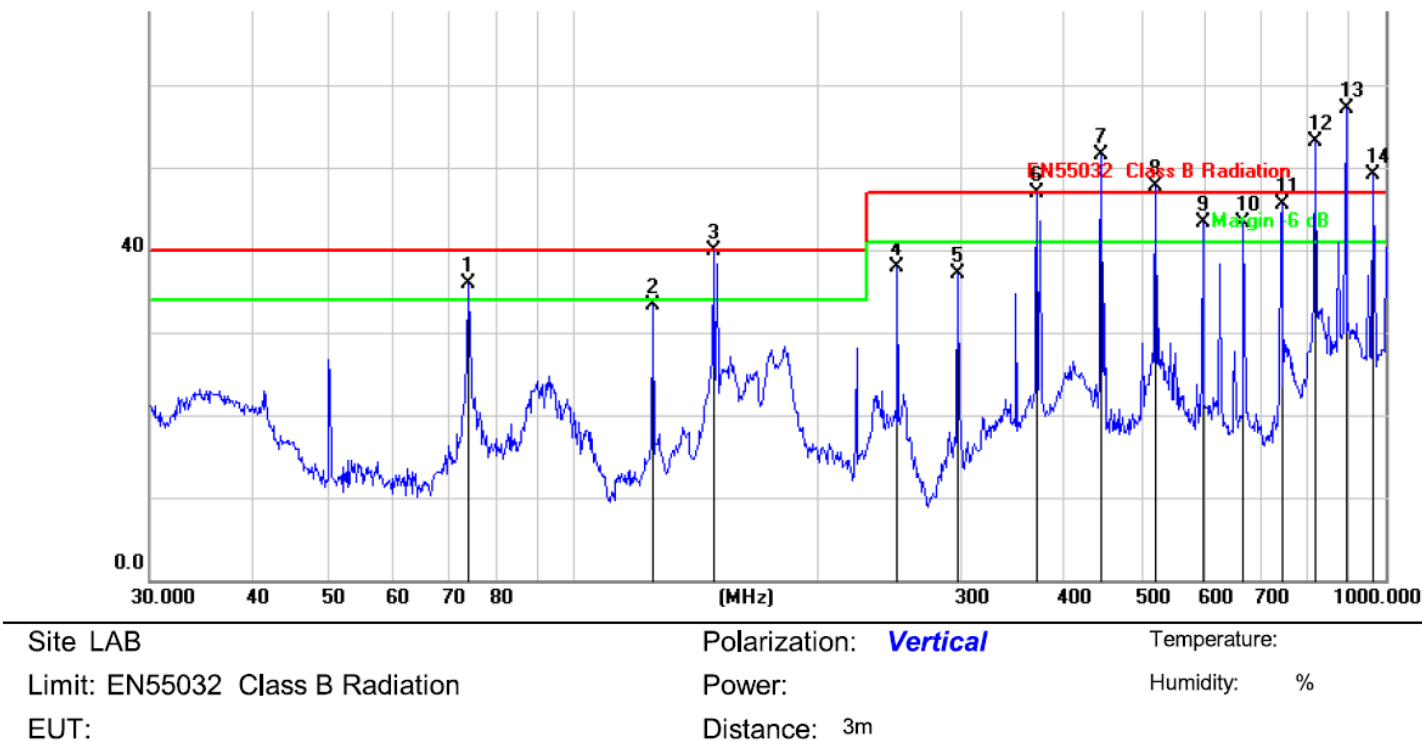
- EMC 测试包括EMI (干扰) 和EMS(抗干扰)
  - EMI测试项包括：RE (辐射，发射) CE(传导干扰) 等；
  - EMS测试项包括：ESD(静电) EFT(瞬态脉冲干扰) DIP(电压跌落) surge (浪涌) 等。
- 执行标准： Europe EN 55032 standard:  
Class A:工业等级，主要用于工业环境。  
Class B:民用等级，一般是室内环境的产品。干扰要求严格，就是不能对其他室内设备有干扰。
- 在最终产品中，某些i.MX8MP板子上出现EMC通不过的问题，特别是有LVDS显示屏的，接1080p双通道LVDS的时候，EMC失败的情况更明显。实际失败的项目是EMI中的RE（辐射，发射)超标，在专业实验室的暗室进行测试。本文针对的是这项测试的分析和对策。

# 辐射超标问题 --- 硬件措施

- 对于EMI中的辐射超标问题，绝大多数都应该从硬件上做防范。硬件上的措施包括但不限于如下：
  - 整版加屏蔽罩，加金属外壳对设备进行屏蔽
  - 屏蔽LVDS线束
  - 外壳接地等手段
  - .....
- 如果硬件上所有的措施都加了，或者硬件改动受空间限制，可以考虑软件措施。
- 本文主要从LVDS展频、减低驱动能力等软件上采取措施。
- 所有软件上的改动都有可能带来信号完整性问题，需要谨慎处理和测试，务必进行波形检查、压力测试、信号完整性测试等。

# EMC 测试超标的频点

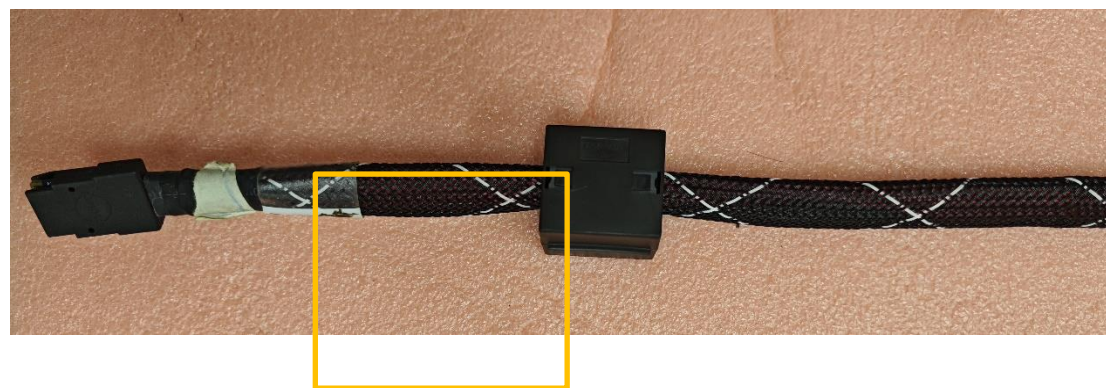
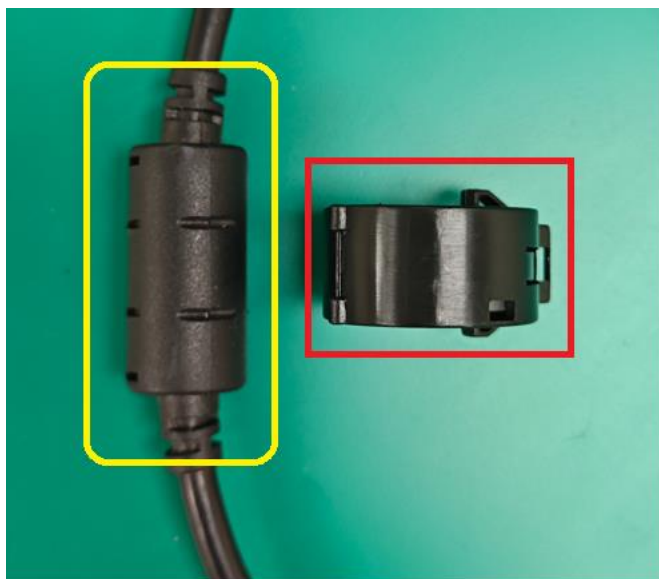
- 从某个板子的测试结果看，超标的频点是：74M, 125M, 148M, 250M, 297M, 372M, 446M, 525M, 595M, 668M, 744M, 818M, 893M.
- 高亮频点都是74M的整数倍，125M, 250M不是



# LVDS EMC超标措施

# 加磁环

- LVDS的数据线在主板和屏之间是个封闭的线束。尽管线束是封闭的，但还是有辐射出来。
- 实验证明，在线束外面再套上磁环，可以有效降低LVDS的各项频点数据。
- 注意磁环的内径大小和线束要匹配，理论上磁环越长，效果越好。



# LVDS 参数

/drivers/gpu/drm/panel/panel-simple.c

```
static const struct display_timing boe_nv156fhm_timing = {  
    .pixelclock = { 148500000, 148500000, 148500000 },  
    .hactive = { 1920, 1920, 1920 },  
    .hfront_porch = { 88, 88, 88 },  
    .hback_porch = { 148, 148, 148 },  
    .hsync_len = { 44, 44, 44 },  
    .vactive = { 1080, 1080, 1080 },  
    .vfront_porch = { 4, 4, 4 },  
    .vback_porch = { 36, 36, 36 },  
    .vsync_len = { 5, 5, 5 },  
    .flags = DISPLAY_FLAGS_DE_HIGH,  
};
```

Pixel clock:  $(1920+88+148+44) * (1080+4+36+5) * 60 = 2200*1125*60 = 148.5\text{MHz}$ ;

## LVDS clock

- LVDS clock: 1080p LVDS datasheet上, clock 是 74.25M

<Table 6. LVDS Rx Interface Timing Specification>

Symbol	Description	Min	Typ.	Max	Units
Rate <sub>LVDS</sub>	LVDS data rate per pair	420	519.75	546	Mbps
f <sub>CLK-LVDS</sub>	LVDS input clock frequency	60	74.25	78	MHz

- Pixel clock: 像素时钟, 每个时钟对应一个像素数据

1080加上行场同步, 一共1125; 1920加上行场同步, 一共2200

Pixel clock:  $(1920+88+148+44) * (1080+4+36+5) * 60 = 2200 * 1125 * 60 = 148.5\text{MHz}$ ;

- VIDEO\_PLL: LVDS往外打的clock是直接VIDEO\_PLL分出来的, 且LVDS的pixel clock和output clock是7倍的关系, 所以148.5M的pixel clock, 往外打的lock就是 $148.5 * 7 = 1.0395\text{G}$ . VIDEO\_PLL也要设成1.0395G.



# VIDEO\_PLL在kernel里的设置

linux-imx\drivers\clk\imx\clk-pll14xx.c

```
static const struct imx_pll14xx_rate_table imx_pll1443x_tbl[] = {  
    PLL_1443X_RATE(1039500000U, 173, 2, 1, 16384),  
    PLL_1443X_RATE(650000000U, 325, 3, 2, 0),  
    PLL_1443X_RATE(594000000U, 198, 2, 2, 0),  
    PLL_1443X_RATE(519750000U, 173, 2, 2, 16384),  
    PLL_1443X_RATE(393216000U, 262, 2, 3, 9437),  
    PLL_1443X_RATE(361267200U, 361, 3, 3, 17511),  
};
```

定义在: linux-nxp/drivers/clk/imx/clk.h:299:#define PLL\_1443X\_RATE(\_rate, \_m, \_p, \_s, \_k)

VIDEO\_PLL= 1.0395G m=173 p=2 s=1 k=16384

- $148.5 * 7 = 1.0395G$  走的是第一行
- 如果实际使用的屏的pixel clock \* 7 算出的VIDEO\_PLL不在表格里, 需要自己加一行

# VIDEO\_PLL计算公式

PLL\_1443X\_RATE(1039500000U, 173, 2, 1, 16384),

- $F_{OUT} = ((m + k/65536) \times F_{IN}) / (p \times 2^s)$
- Where,  $1 \leq p \leq 63$ ,  $64 \leq m \leq 1023$ ,  $0 \leq s \leq 6$ ,  $-32768 \leq k \leq 32767$
- $m=173$   $p=2$   $s=1$   $k=16384$
- $VIDEO\_PLL = ((173 + 16384/65536) \times 24) / (2 \times 2) = 1.0395$  G

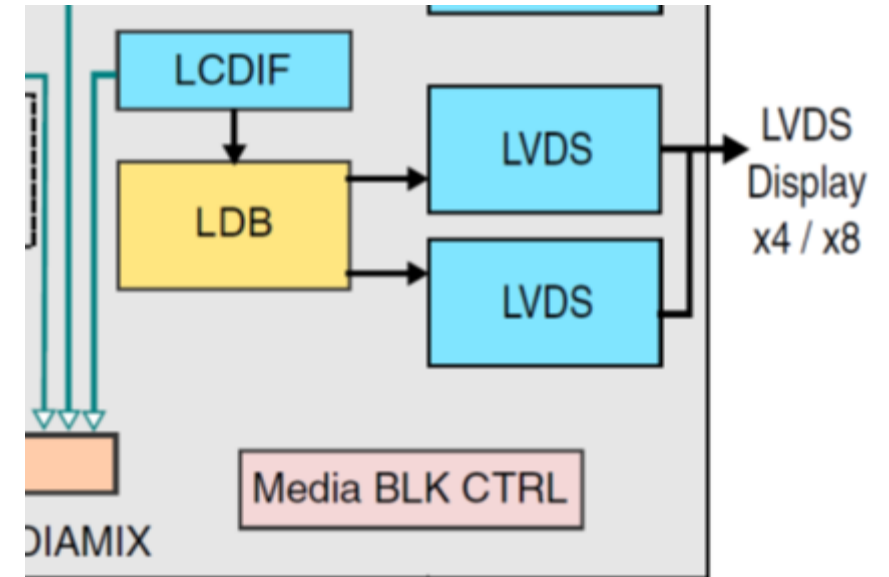
# LVDS 展频

## i.MX8MP LVDS展频的可行性

- 和i.MX6系列不同，LVDS使用的是Video\_PLL，DDR使用的是DRAM\_PLL，Video\_PLL和DRAM\_PLL没有直接关系。
- Video\_PLL的展频可以在它的初始化阶段进行，在VIDEO\_PLL enable之前打开该功能应该就可以。
- 不会影响到其他模块的工作。只会影响到所有使用Video\_PLL的部分，从clock tree可以看到，VIDEO\_PLL影响的是LDB模块，直接影响LVDS的显示。

```

video_pll1_ref_sel      1   1   0 24000000   0 0 50000
video_pll1              1   1   0 1039500000  0 0 50000
video_pll1_bypass      1   1   0 1039500000  0 0 50000
video_pll1_out         2   2   0 1039500000  0 0 50000
media_ldb              1   1   0 519750000   0 0 50000
media_ldb_root_clk     1   1   0 519750000   0 0 50000
media_disp2_pix       1   1   0 148500000   0 0 50000
media_disp2_pix_root_clk 1   1   0 148500000   0 0 50000
lcdif2_pixel_clk      1   1   0 148500000   0 0 50000
media_disp1_pix       0   0   0 1039500000  0 0 50000
media_disp1_pix_root_clk 0   0   0 1039500000  0 0 50000
lcdif_pixel_clk       0   0   0 1039500000  0 0 50000
  
```



# VIDEO\_PLL 展频寄存器 (0X30360034)

## 5.1.8.14 VIDEO PLL1 PLL SSCG Control Register (CCM\_ANALOG\_VIDEO\_PLL1\_SSCG\_CTRL)

### VIDEO PLL1 PLL SSCG Control Register

Address: 3036\_0000h base + 34h offset = 3036\_0034h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R	SSCG_EN	Reserved												PLL_MFREQ_CTL			
W		Reserved												PLL_MFREQ_CTL			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	PLL_MFREQ_CTL				Reserved		PLL_MRAT_CTL						Reserved		SEL_PF		
W	PLL_MFREQ_CTL				Reserved		PLL_MRAT_CTL						Reserved		SEL_PF		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

## VIDEO\_PLL 展频寄存器配置

- Bit 31: 展频 enable bit =1

31 SSCG_EN	SSCG Enable 1 Enable Spread Spectrum Mode 0 Disable Spread Spectrum Mode
---------------	--

- Bit 19-12 比如设置成10000 mfr = 16 用于配置调制频率 (Modulation Frequency)

19-12 PLL_MFREQ_CTL	Value of modulation frequency control Modulation Frequency, MF is determined by the following equation: $MF = F_{FIN}/p/mfr/(2^5)$ Hz $F_{FIN}$ is the PLL input clock frequency, mfr is the decimal value for PLL_MFREQ_CTL[7:0], and p is the decimal value for PLL_PRE_DIV.
------------------------	---

- Bit 9-4 比如设置成10000 mrr=16 用于配置调制比率 (Modulation rate)

9-4 PLL_MRAT_CTL	Value of modulation rate control Modulation rate (pk-pk), MR, is determined by the following equation: $MR = mfr \times mrr / m / (2^6) \times 100$ [%] mfr is the decimal value of PLL_MFREQ_CTL, mrr is the decimal value for PLL_MRAT_CTL[5:0], and m is the decimal of PLL_MAIN_DIV.
---------------------	---

## VIDEO\_PLL展频计算公式

- 根据i.MX8MP RM里的描述，公式如下：

When SSCG\_EN = 1, the spread spectrum mode is enabled. The associated formulas and values are provided below:

- Modulation frequency (MF) =  $F_{FIN} / p / mfr / (2^5)$  [Hz]
  - Modulation rate (MR) =  $mfr \times mrr / m / (2^6) \times 100$  [%]
  - Where,  $0 \leq mfr \leq 255$ ,  $1 \leq mrr \leq 63$ ,  $0 \leq mrr \times mfr \leq 512$
- 1080p的参数: `PLL_1443X_RATE(1039500000U, 173, 2, 1, 16384)`,
  - VIDEO\_PLL= 1.0395G m=173 p=2 s=1 k=16384
  - 配置这个寄存器为0x80010102 (mfr=16 mrr=16, ) 得出两个展频参数:
  - MF(调制频率)= $24(M)/2/16/32 = 24K$
  - MR(调制比率)= $16 \times 16 / 173 / 64 (x100\%) = 2.3\%$

## 使用memtool 测试展频

- `./memtool -32 0x30360034=0x80010102` (调制频率24Khz, 调制比率 2.3%)

一个是调制比率 (Modulation rate), 另一个是调制频率 (Modulation Frequency)。调制比率一般设置在0%~3%, 调制频率一般设置在0~40Khz。

这两个参数越大, 频率展开的幅度就越大, 展频效果越明显, 但是频率偏移原频率过大, 会出现花屏或图像拉丝, 黑屏等问题。

- 其他配置举例:

1) `./memtool -32 0x30360034=0x80010182` (mfr=16 mrr=24)

$MF=24(M)/2/mfr/32 = 23.4K$        $MR=mfr \times mrr / 173 / 64 (x100\%)= 3.46\%$

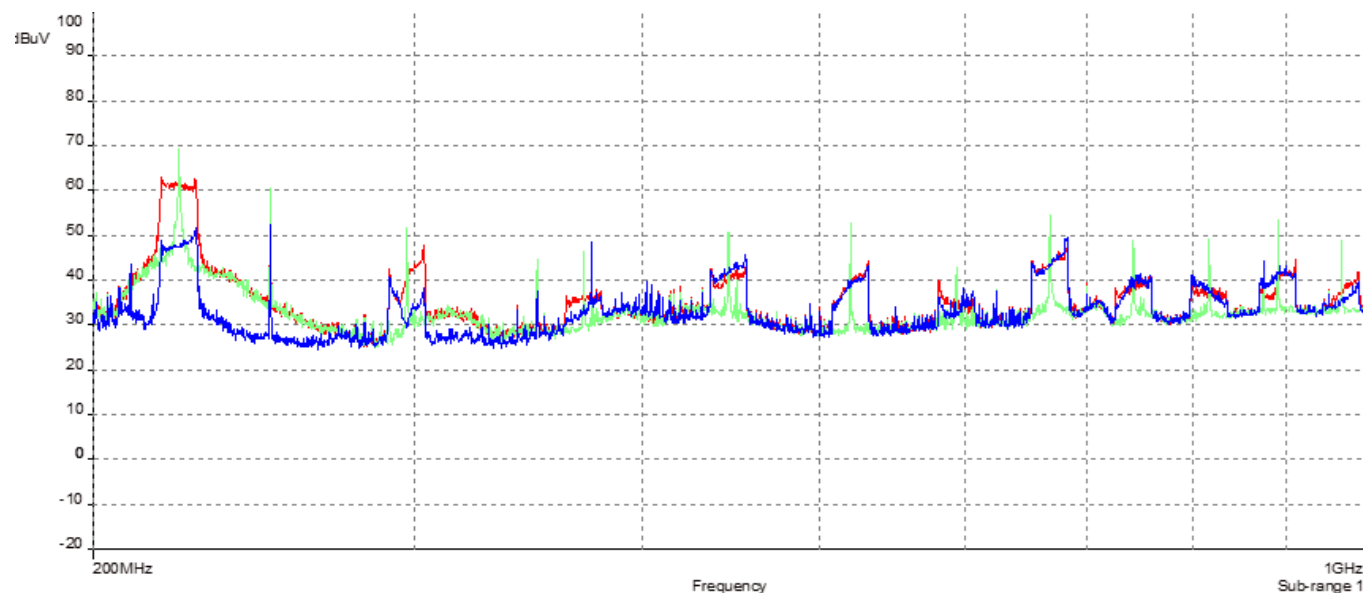
2) `./memtool -32 0x30360034=0x8000D182` (mfr=13 mrr=24)

$MF=24(M)/2/mfr/32 = 28.8K$        $MR=mfr \times mrr / 173 / 64 (x100\%)= MR=2.82\%$



## 展频后EMC测试结果

- `./memtool -32 0x30360034=0x80010102` (调制频率24Khz, 调制比率 2.3%)
- 绿色为原始配置, 多处出现尖峰, 最高点在222.74MHz, 达69.3dB。
- 红色为展频之后的结果, 展频后尖峰被打平, 下降到63.0dB。
- 蓝色线是展频后再在LVDS线束外面加磁环, 下降到51.7dB蓝色线。总体达到了下降17.6dB。
- 展频和加磁环都有明显的效果。



## 展频集成到uboot

Uboot 要在PLL输出之前，配置展频寄存器

Uboot-imx/arch/arm/mach-imx/imx8m/clock\_imx8mm.c

```
@@ -106,6 +106,11 @@ static int fracpll_configure(enum pll_clocks pll, u32 freq)
    (rate->sdiv << SDIV_SHIFT);
    writel(rate->kdiv << KDIV_SHIFT, pll_base + 8);
#ifdef CONFIG_IMX8MP
+   if(pll == ANATOP_VIDEO_PLL)
+       writel(0x80010102, &ana_pll->video_pll1_sscg_ctl);
#endif
```

进入kernel之后，尽管LVDS clock会reset，但并不会影响展频配置。linux的suspend和resume也不会对展频配置产生影响。EMI测试高辐射频率点被打平。

# LVDS 驱动强度调节

## 降低LVDS驱动强度

- 展频后，如果仍然达不到要求，任有个别频点超标，也可以考虑降低LVDS的驱动强度。
- LVDS是专用pin脚，dts里并不需要配置IOMUX，也不用配置pin脚属性。所以无法通过配置pin脚属性调节驱动强度。
- 在Reference Manual里LVDS Control Register 有如下定义：

### 13.2.3.1.41 LVDS Control Register (LVDS\_CTRL)

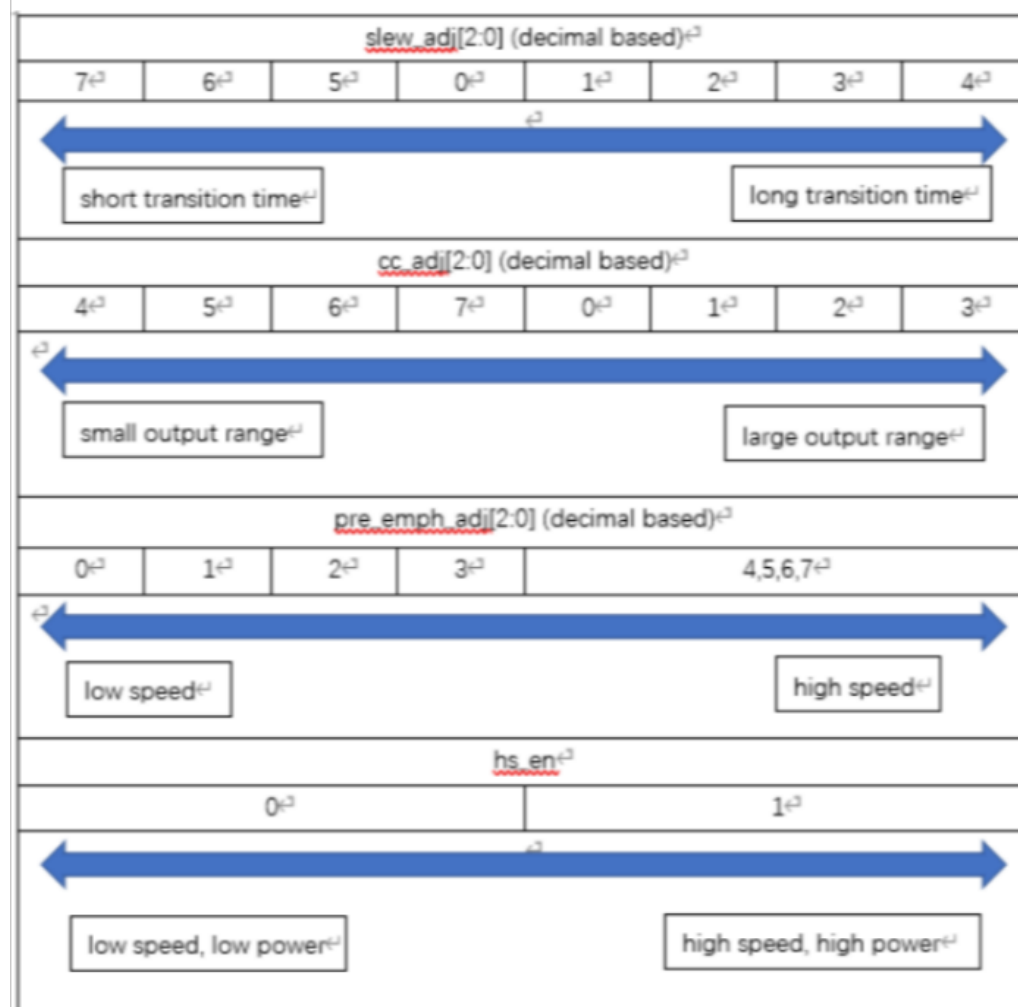
#### 13.2.3.1.41.1 Offset

Register	Offset
LVDS_CTRL	128h

19-17 VBG_ADJ	Bandgap adjustment.
16-14 SLEW_ADJ	Output transition time adjustment.
13-11 CC_ADJ	Output current adjustment.
10-8 CM_ADJ	Output common mode(Vos) adjustment.
7-5 PRE_EMPH_ADJ	Pre-emphasis adjustment.
4 PRE_EMPH_EN	Enable pre-emphasis
3 HS_EN	hs_en 1b - enable the 100 Ohm terminated resistor in the chip, at the same time, the power dissipation will also be double.

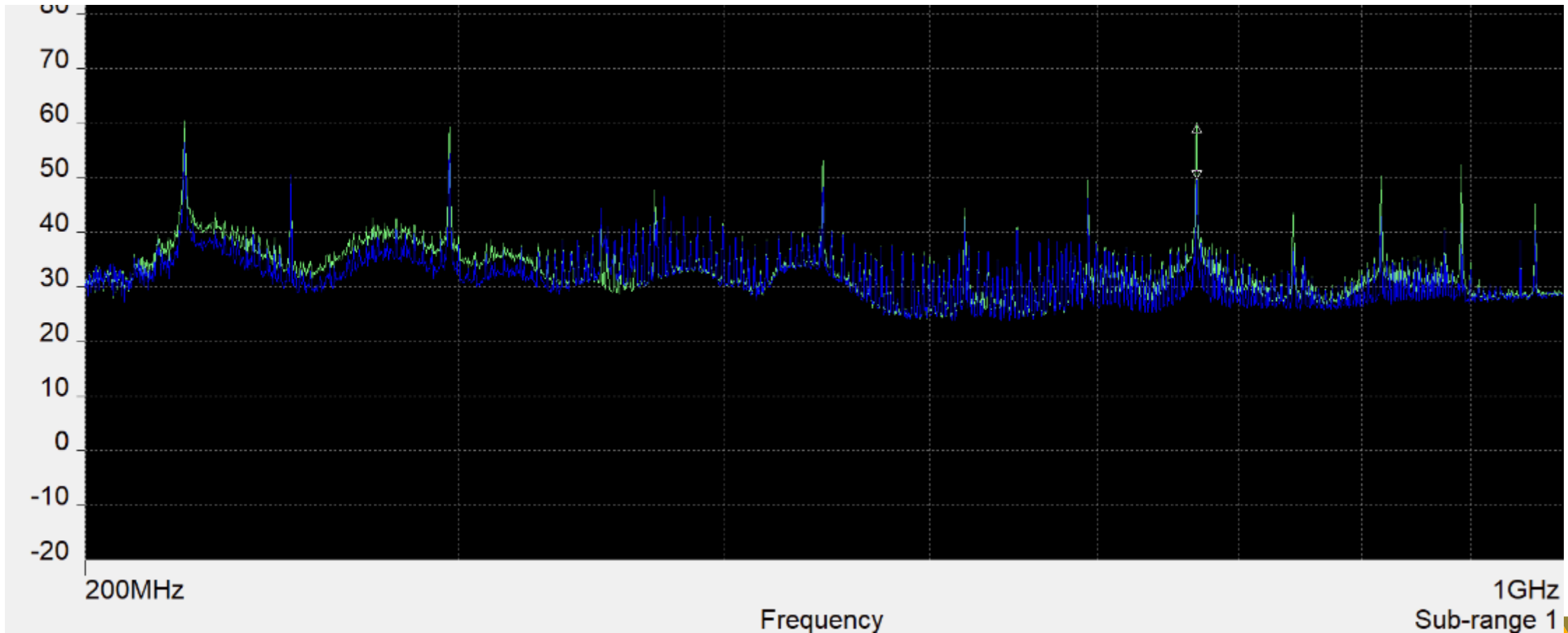
# 降低LVDS驱动强度配置

- 相关描述如下图
- speed 越低驱动强度越低
- range越小驱动输出电流越小
- time越小驱动强度越大



# 使用memtool降低LVDS驱动强度

- `./memtool -32 0x32EC0128=0x12017` 所有可以调节的均配置到最低测试
- 绿色为板子默认状态的EMI，蓝色为调节LVDS驱动能力后的EMI状态，整体下降4-10个dB，



## 在kernel 里增加lvds驱动强度调节

```
+++ b/drivers/gpu/drm/bridge/fsl-imx-ldb.c
```

```
@@ -124,6 +124,9 @@ static void ldb_bridge_enable(struct drm_bridge *bridge)
```

```
    pm_runtime_get_sync(ldb->dev);
```

```
    regmap_write(ldb->regmap, ldb->ctrl_reg, ldb->ldb_ctrl);
```

```
+
```

```
+    regmap_write(ldb->regmap, 0x128, 0x12017);
```

```
+
```

```
}
```

对所有可以调节的均配置到最低，进行测试

# 网口EMC超标措施



## 网口的倍频

- 如果有一些辐射超标点是125M的倍频，怀疑和网口相关。可以dump clock来检查：

```
cat /sys/kernel/debug/clk/clk_summary
```

```
sys_pll2_125m    1    1    0 125000000    0    0 50000
enet_ref         0    0    0 125000000    0    0 50000
enet_qos         1    1    0 125000000    0    0 50000
```

- 可以在dts里把网口disable掉，或者在硬件上把 i.MX8MP的NVCC\_ENET和外部PHY断掉，相关的辐射超标点消失，反证这几点和网口相关。

## dts 里的默认配置

默认代码，两个网口都是同样的属性配置：

```
pinctrl_fec: fecgrp {
    fsl,pins = <
        MX8MP_IOMUXC_SAI1_RXD2__ENET1_MDC      0x2
        MX8MP_IOMUXC_SAI1_RXD3__ENET1_MDIO     0x2
        MX8MP_IOMUXC_SAI1_RXD4__ENET1_RGMII_RD0 0x90
        MX8MP_IOMUXC_SAI1_RXD5__ENET1_RGMII_RD1 0x90
        MX8MP_IOMUXC_SAI1_RXD6__ENET1_RGMII_RD2 0x90
        MX8MP_IOMUXC_SAI1_RXD7__ENET1_RGMII_RD3 0x90
        MX8MP_IOMUXC_SAI1_TXC__ENET1_RGMII_RXC  0x90
        MX8MP_IOMUXC_SAI1_TXFS__ENET1_RGMII_RX_CTL 0x90
        MX8MP_IOMUXC_SAI1_TXD0__ENET1_RGMII_TD0 0x16
        MX8MP_IOMUXC_SAI1_TXD1__ENET1_RGMII_TD1 0x16
        MX8MP_IOMUXC_SAI1_TXD2__ENET1_RGMII_TD2 0x16
        MX8MP_IOMUXC_SAI1_TXD3__ENET1_RGMII_TD3 0x16

pinctrl_eqos: eqosgrp {
    fsl,pins = < .....
```



# 调节网口pin脚属性

- Slew Rate(斜率) 默认为fast, 现调节为slow
- ENET TD相关默认为DSE\_X6(最高driven strength) , 现配置为DSE\_X2

4 FSEL	Slew Rate Field	2-1 DSE	Drive Strength Field
	Select one out of next values for pad: ENET_TD3		Select one out of next values for pad: ENET_TD3
0	FSEL_0_SLOW_SLEW_RATE — Slow Slew Rate (SR=1)	00	DSE_X1 — X1
1	FSEL_1_FAST_SLEW_RATE — Fast Slew Rate (SR=0)	10	DSE_X2 — X2
		01	DSE_X4 — X4
		11	DSE_X6 — X6

MX8MP_IOMUXC_SAI1_RXD2__ENET1_MDC	0x3
MX8MP_IOMUXC_SAI1_RXD3__ENET1_MDIO	0x3
MX8MP_IOMUXC_SAI1_RXD4__ENET1_RGMII_RD0	0x91
MX8MP_IOMUXC_SAI1_RXD5__ENET1_RGMII_RD1	0x91
MX8MP_IOMUXC_SAI1_RXD6__ENET1_RGMII_RD2	0x91
MX8MP_IOMUXC_SAI1_RXD7__ENET1_RGMII_RD3	0x91
MX8MP_IOMUXC_SAI1_TXC__ENET1_RGMII_RXC	0x91
MX8MP_IOMUXC_SAI1_TXFS__ENET1_RGMII_RX_CTL	0x91
MX8MP_IOMUXC_SAI1_TXD0__ENET1_RGMII_TD0	0x1b
MX8MP_IOMUXC_SAI1_TXD1__ENET1_RGMII_TD1	0x1b
MX8MP_IOMUXC_SAI1_TXD2__ENET1_RGMII_TD2	0x1b
MX8MP_IOMUXC_SAI1_TXD3__ENET1_RGMII_TD3	0x1b

## 网口倍频的EIM测试结果

- 降低ENET的pin脚属性 driven strength和slow slew rate, 125M倍频的点辐射下降5-12db

NET 125MHz倍频	high drive strength fast slew rate(dB)	low drive strength slow slew rate(dB)	差值(dB)
250MHz	47.8	39.4	8.4
375MHz	53.8	45	8.8
500MHz	40.1	29.5	10.6
625MHz	45.2	33.4	11.8
750MHz	40.7	35	5.7
875MHz	43.5	35.2	8.3

# SD口的EMC超标措施

## SD接口的软硬件措施

有一些50M的倍频，比如150M, 250M, 350M 等，和SD信号有关。

- 硬件措施：SD信号线上加磁珠。实际测试有效果。
- 软件措施：SD的pin脚配置在dts里有50M/100M/200M不同的配置。每一种的驱动能力不同：  
pinctrl-names = "default", "state\_100mhz", "state\_200mhz";

可以把对应的pin脚驱动能力设到最低，slew rate从fast设到slow

```
MX8MP_IOMUXC_SD2_CLK__USDHC2_CLK    0x180
MX8MP_IOMUXC_SD2_CMD__USDHC2_CMD    0x1c0
MX8MP_IOMUXC_SD2_DATA0__USDHC2_DATA0 0x1c0
MX8MP_IOMUXC_SD2_DATA1__USDHC2_DATA1 0x1c0
MX8MP_IOMUXC_SD2_DATA2__USDHC2_DATA2 0x1c0
MX8MP_IOMUXC_SD2_DATA3__USDHC2_DATA3 0x1c0
MX8MP_IOMUXC_GPIO1_IO04__USDHC2_VSELECT 0xc0
```

# 总结

1. 遇到EMC测试辐射超标的问题，首先考虑硬件加屏蔽措施。比如加金属外壳对设备进行整体屏蔽、屏蔽线束、外壳接地等手段。
2. 查看辐射超标点，分析是否是LVDS的倍频。对LVDS信号线进行屏蔽。推荐加磁环，包在LVDS线束外面。
3. 软件上考虑给提供LVDS的VIDEO\_PLL做展频。展频后，高频点被压平。
4. LVDS pin脚属性无法调整，可以调节LVDS控制寄存器减小驱动强度。
5. 其他模块的超标，先想办法在硬件上处理，比如加磁珠等。
6. 其他模块的超标，也可以尝试调整pin脚属性，把slew rate从fast调到slow，driven strength调低。
7. LVDS展频会影响LVDS的显示，需要调整展频参数做测试。
8. 减小pin脚驱动能力和改变slew rate会影响信号质量，需要检查波形、压力测试、信号完整性测试等。
9. 所有软件措施都会影响信号质量，需要谨慎处理和测试。



SECURE CONNECTIONS  
FOR A SMARTER WORLD