

LPC804 可编程逻辑单元 (PLU)

由 [soledad NP](#) 于 2018-9-13 创建的文档•最后由 [soledad NP](#) 于 2018-10-22 修改

原文: <https://community.nxp.com/docs/DOC-341477>

本文档是 LPC804 MCU 器件的可编程逻辑单元 (PLU) 的简介。

PLU 用于创建包括简单状态机的小型组合和/或顺序逻辑网络。这样就可以替换像 74xx 系列一样的外部组件, 这些外部组件用于粘合微控制器和外部设备, 简化 PCB 并节省设计成本。



LPC80x and LPC8N04 MCU Families

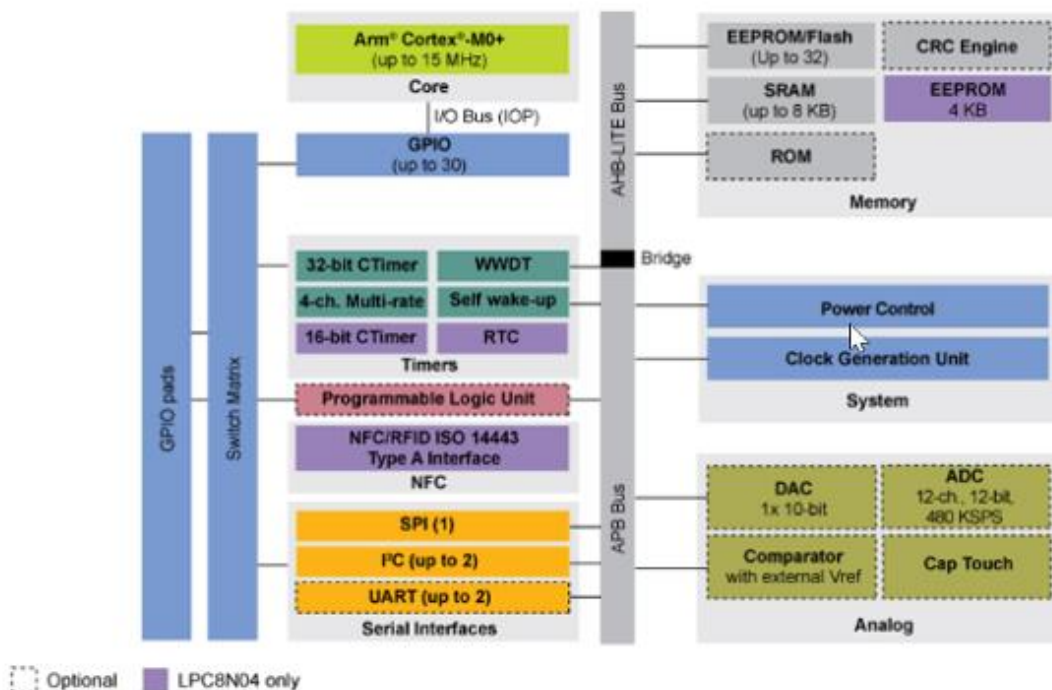
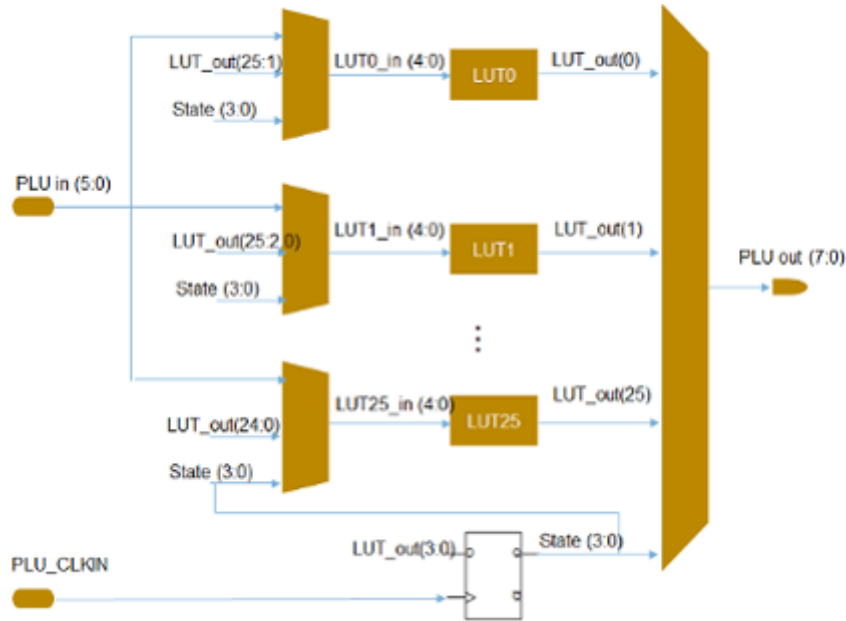


图 1 为 LPC80x MCU 系列

PLU 由 26 个英文字母相互连接成的数组、5 个输入查找表(LUT)和 4 个触发器组成。每个 LUT 包含一个 32 位真值表(查找表)寄存器和一个 32:1 多路复用器。在工作时, 五个 LUT 输入控制多路复用器的选择行。这种结构允许输入的五 LUT 按任意逻辑组合。



特性

- PLU 用于创建包括简单状态机在内的小型组合和/或顺序逻辑网络。
- PLU 由 26 个可互连的 5 输入查找表（LUT）和 4 个触发器组成。
- 八个主要输出可以被一个多路复用器从所有 LUT 输出和 4 个触发器中挑出来。
- 如果要想实现顺序网络，则必须在 PLU_CLKIN 引脚上施加一个驱动 4 个触发器的外部时钟。
- 可编程逻辑可以通过外部引脚与引脚的连接来驱动芯片上的输入/触发器。
- 提供了一套工具来简化 PLU 的编程，以实现 Verilog RTL 设计中描述的逻辑网络。

优点

PLU 的一些优点是：

- 替换 7400 系列的组合逻辑。
- 使用触发器进行状态机设计。
- 地址解码器。
- 模式匹配。
- 低功耗应用， PLU 在深度睡眠和节电模式下工作。
- 可编程的，因此 PLU 可以重新编程和重用。
- 使用 SWM 和 PLU 进行无缝连接。

引脚说明

PLU 模块中至多有六个主输入，一个时钟输入和八个主输出。所有输入都通过芯片级 I/O 多路复用直接连接到封装引脚。通过配置相关的 SWM 寄存器（PINASSIGN_FIXED0），可以启用所有这些引脚。

一个特定的逻辑网络可能并不需要所有有效的输入或输出。用户可以指定使用哪些输入和

输出，以及这些输入和输出将连接到哪个封装引脚才能配置成最高级别 IO 的一部分。

寄存器

对 PLU 进行编程以实现特定的逻辑网络包括：写入各种真值表寄存器以指定每个 LUT 元素要执行的逻辑功能；对输入多路复用器寄存器进行编程以选择呈现给每个 LUT 的五个输入；并编程输出多路复用器寄存器以选择 PLU 模块的八个主要输出。

所有这些寄存器的编程仅在初始化期间执行。

Name	Access	Address offset	Description	Reset value
LUTn_INPx_MUX	R/W	0x000-0x010, 0x020-0x030, 0x040-0x050 ... 0x320-0x330	Input select register for LUTn (0 to 25), Inputx (0 to 4) As an example, register offsets for: LUT0_INP0_MUX is 0x000 LUT0_INP1_MUX is 0x004 LUT0_INP2_MUX is 0x008 LUT0_INP3_MUX is 0x00C LUT0_INP4_MUX is 0x010 LUT1_INP0_MUX is 0x020 LUT1_INP1_MUX is 0x024 LUT1_INP2_MUX is 0x028 LUT1_INP3_MUX is 0x02C LUT1_INP4_MUX is 0x030	All 1s
LUTn_TRUTH	R/W	0x800, 0x804, 0x80C ... 0x8FC	Truth-Table ("Look-up Table") programming for LUTn (0 to 25). As an example, register offsets for: LUT0_TRUTH is 0x800 LUT1_TRUTH is 0x804 LUT2_TRUTH is 0x808 LUT3_TRUTH is 0x80C LUT4_TRUTH is 0x810	0x0
-	-	-	Reserved	-
OUTPUT0_MUX	R/W	0xC00	Select register for PLU Output0	0x1F
OUTPUT1_MUX	R/W	0xC04	Select register for PLU Output1	0x1F
OUTPUT2_MUX	R/W	0xC08	Select register for PLU Output2	0x1F
OUTPUT3_MUX	R/W	0xC0C	Select register for PLU Output3	0x1F
OUTPUT4_MUX	R/W	0xC10	Select register for PLU Output4	0x1F
OUTPUT5_MUX	R/W	0xC14	Select register for PLU Output5	0x1F
OUTPUT6_MUX	R/W	0xC18	Select register for PLU Output6	0x1F
OUTPUT7_MUX	R/W	0xC1C	Select register for PLU Output7	0x1F
OUTPUTS	RO	0x900	PLU Outputs Register (Read-only)	0x0

表 1. PLU 寄存器

带 LPCXpresso 804 的 PLU 屏蔽板

OM40001 封装包括一块屏蔽板，在对可编程逻辑单元 (PLU) 设计原型时它与 LPCXpresso804 板一起使用。PLU 防护罩能提供以下功能来协助这种类型的开发：

- 5 个滑动开关，使 5 个可能的 PLU 输入通过一个电阻连接到 VDD（在 Shield 上标记为 VCC）或 GND（将这些输入设置为逻辑 1 或零）。

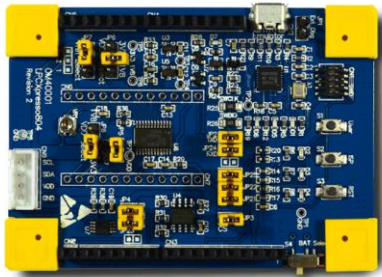
- 8 个带跳线的 LED，用于连接/断开可能的 PLU 输出，以显示视觉状态。
- 按钮选项为瞬间/边缘信号输入。
- 具有 1024Hz 和 8Hz 输出的低频振荡器。

PLU 屏蔽还包括一个测试电路，它可以用来实现一个简单的连续性测试。

PLU Shield 上使用的 LPC804 的一些信号与 LPCXpresso804 主板上的其他功能共享。在安装 PLU Shield 之前，请仔细检查 LPCXpresso804 板上的跳线设置。

<https://www.nxp.com/docs/en/user-guide/UM11083.pdf>

LPCXpresso804 for the LPC804 family of MCUs



Programmable Logic Unit (PLU) Shield

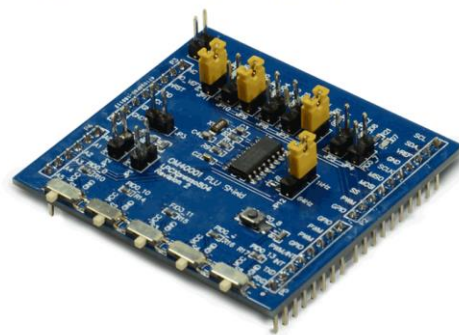


图 3. LPCXpresso 804 + PLU Shield = PLU 演示板

PLU 输入选项

开关 S1 到 S5 通过电阻将可能的 PLU 输入连接到 VDD 或 GND，使这些输入驱动到一个已知的固定状态。PIO0_8 连接到一个按钮(S6)和一个 100kohm 上拉到 VDD;当按下按钮时，PIO0_8 将接地。下表显示了这些连接。

Switch	LPC804 signal	Notes
S1	PIO0_0	Also connected to debug UART. Remove JP2 to avoid conflicts
S2	PIO0_10	Shared with potentiometer. Move potentiometer to center position to avoid conflicts.
S3	PIO0_11	Also connected to user LED; remove JP21 to disconnect LED
S4	PIO0_4	Also connected to debug UART. Remove JP24 to avoid conflicts
S5	PIO0_13	Also connected to user LED; remove JP25 to disconnect LED.
S6	PIO0_8	Also connected to SPI flash data input.

表 2.PLU 输入开关

Shield 上还包含一个数字振荡器电路，提供 1.024kHz 和 8Hz 输出。LPC804 信号 PIO0_1 可以连接到这些振荡器信号，以便为 PLU 块中的触发器提供低速时钟。JP12 的中心引脚(2) 连接到 PIO0_1，因此可以将跳线置于 JP12 上，将该信号连接到所需的时钟(请参阅屏蔽丝网网上的标记)。外部时钟可以通过连接到 JP12 的中心引脚提供给 PLU。

PLU 输出选项

LED 用于监控 PLU 的输出。由于芯片/电路板上的引脚数量有限，所以一些输入和输出是共

享的。

LED	LPC804 signal	Jumper installed to enable	Notes
D1	PIO0_15	JP6	
D2	PIO0_16	JP7	
D3	PIO0_10	JP8	Ensure S2 is in VCC position to use.
D4	PIO0_18	JP9	
D5	PIO0_12	JP10	Also used for green User LED. Remove JP22 to isolate.
D6	PIO0_20	JP11	
D7	PIO0_7	JP4	I ² C connections also used for LM75. Remove JP23 to isolate.
D8	PIO0_14	JP5	I ² C connections also used for LM75. Remove JP23 to isolate.

表 3.PLU 屏蔽 LED

PLU 示例

您可以通过以下两种方式来找到 PLU 示例

- 使用 LPCXpresso804 的 SDK。
您可以从 [Welcome | MCUXpresso SDK Builder](#) 上下载 LPCXpresso804 的 SDK。
PLU 项目是一个简单的 SDK PLU 驱动程序演示程序。在本示例中，许多开关用作 PLU 输入，而 LED 用于监视 PLU 输出，以演示可编程逻辑单元(PLU)的配置和使用。
- 使用 LPC804 示例代码包。
代码包，包含驱动程序的源代码、示例代码和项目文件，您可以从 [LPCXpresso804 board for LPC804 Microcontroller \(MCU\)|NXP](#) 上下载它们。

建议使用 PLU 配置工具。 请阅读以下链接以获取更多详细信息。

基于 LUT 的 PLU Tool Direct 设计: <https://www.nxp.com/video/part-2-plu-tool-direct-lut-based-design:Part2-PLU-config-tool-verilog>

PLU 工具原理图设计: <https://www.nxp.com/video/part-3-plu-tool-schematic-design:Part3-PLU-config-tool-schematic>

PLU 工具导入 Verilog 文件: <https://www.nxp.com/video/part-4-plu-tool-importing-verilog-files:Part4-PLU-config-tool-directlut>