Kinetis Lock 原因的调研及解决方案—External

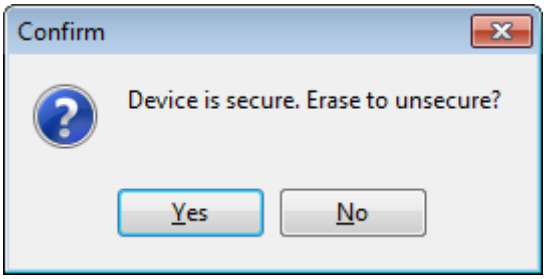
尤大为 2015/12/06

对于 Kinetis 芯片来说，发生在工程师调试，小批及量产阶段都经常发生的一个问题就是 Kinetis Lock(锁住)，尤其是在刚用这个芯片设计及小批的客户身上，这个错误几乎都会遇到。下面我将罗列下肯定及可能造成芯片锁住的一些错误操作，并尝试从外围解释其原因，最后将给出一些常规的解决方案。

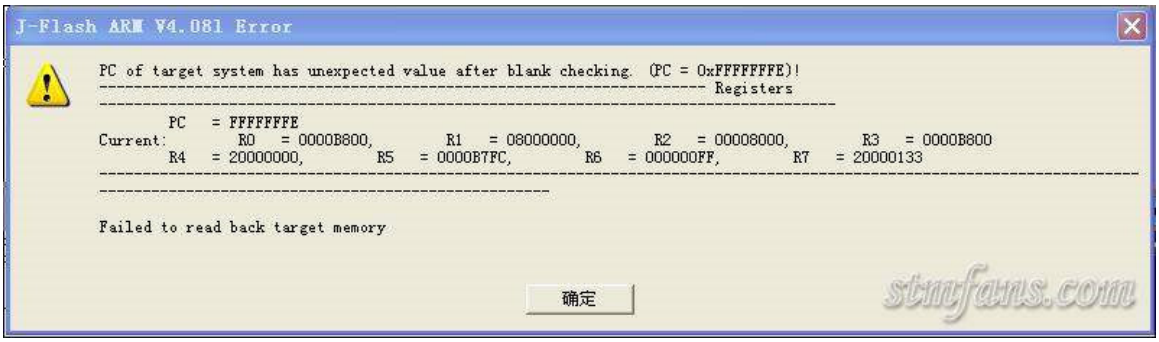
1. Kinetis 锁住的现象：

   1.1 使用 IDE 调试发现找不到设备，或者下载进程卡死了；

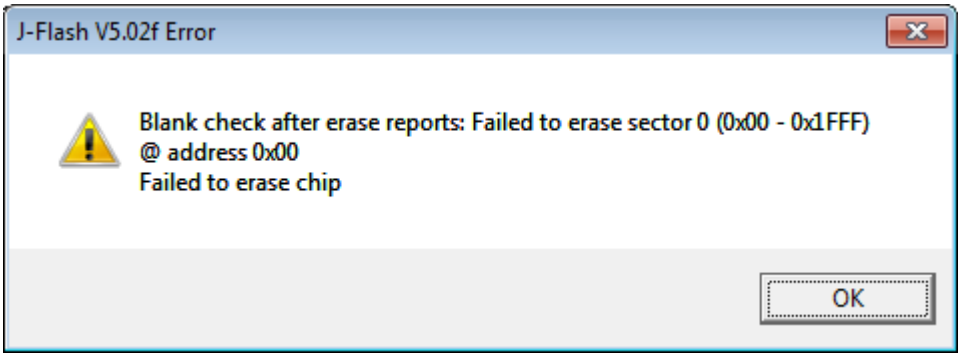
   1.2 出现提示芯片被加密，需要解锁；



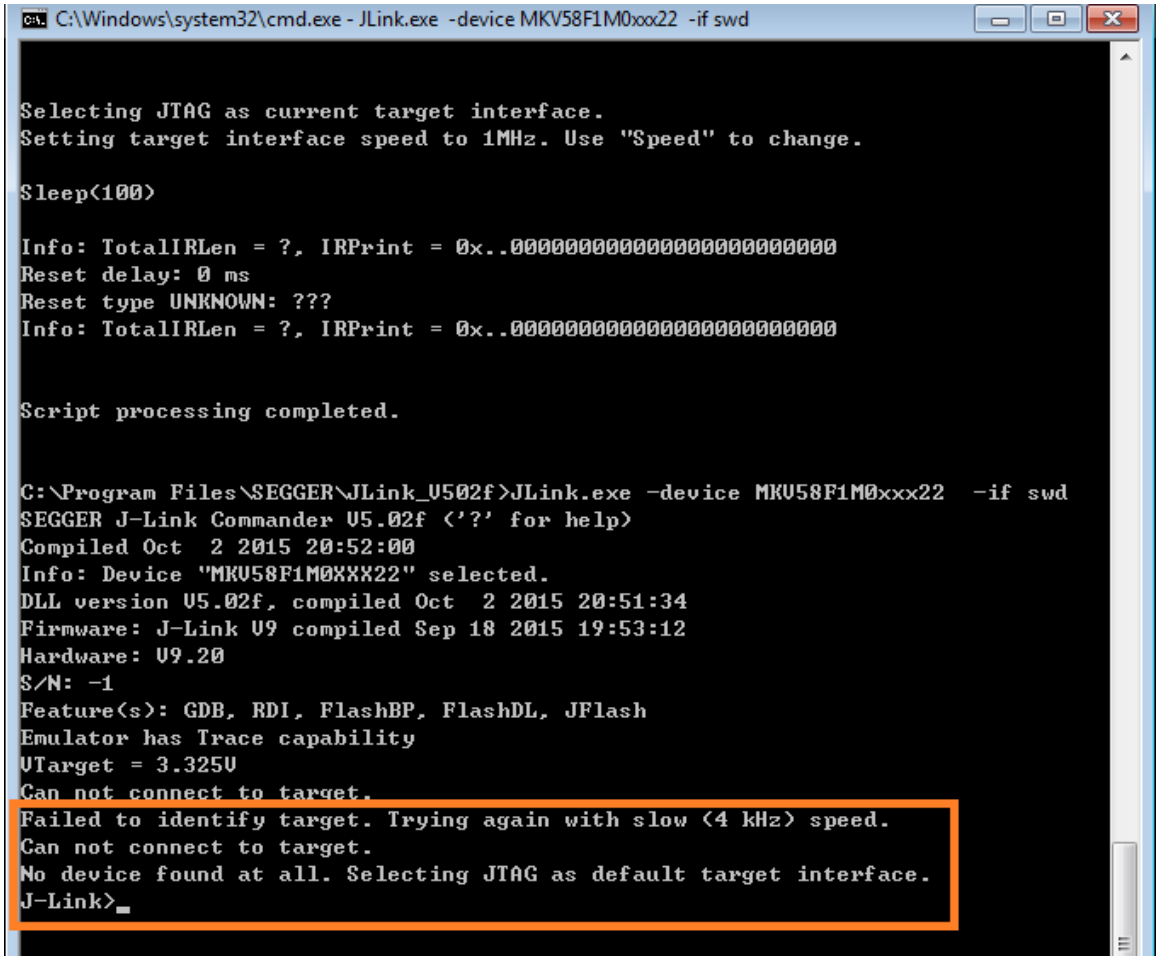
   1.3 使用 jflash 无法 connect；



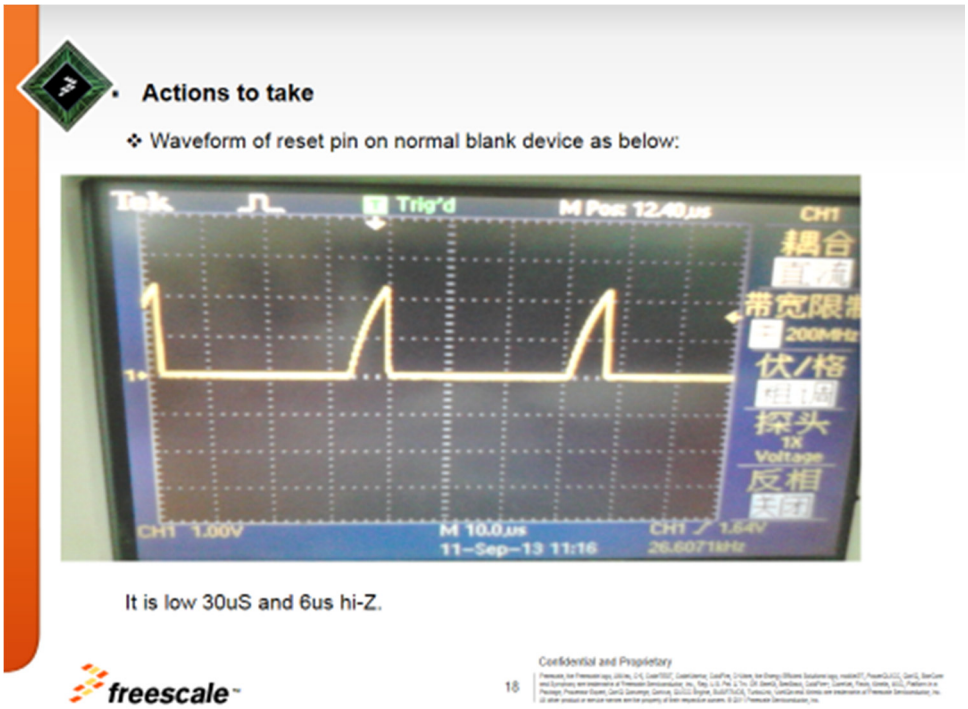
   1.4 即使能够 connect，但是无法做其他操作，提示 RAM check failed 等错误信息



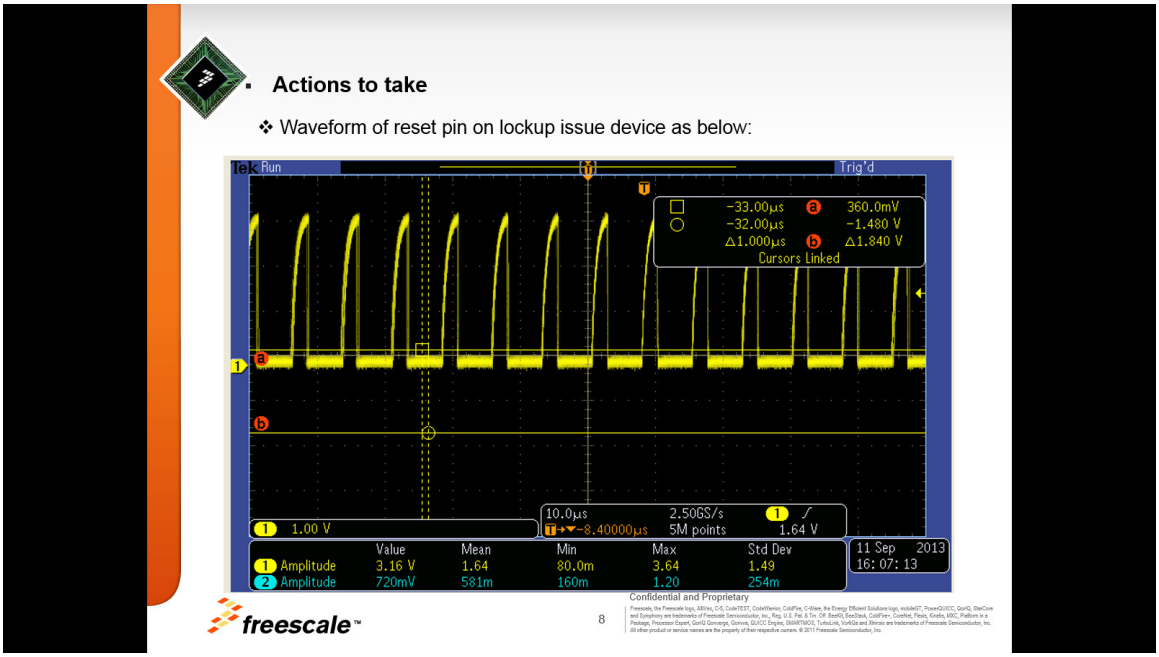
   1.5 从 Jlink command 不能发现 MCU core;



1.6 Reset pin 上电后一直为低，或者输出的锯齿波不同于空芯片，比如对于 KL 系列来说，空芯片上电后 reset pin 输出的锯齿波周期为 36us，低电平为 30us。



Lock 后的 KL 芯片频率变快了，但是不限定于这个波形。而且如果外围有阻容，该周期可能有变化。



以上都是在调试阶段，或者在产线上发现无法烧录的片子拿下来检查经常能看得到的错误信息。

2. 那这些出问题的片子，可能是由哪些原因造成的呢，下面将分必然原因及可能的偶然原因去阐述这些注意点。

2.1 必然原因

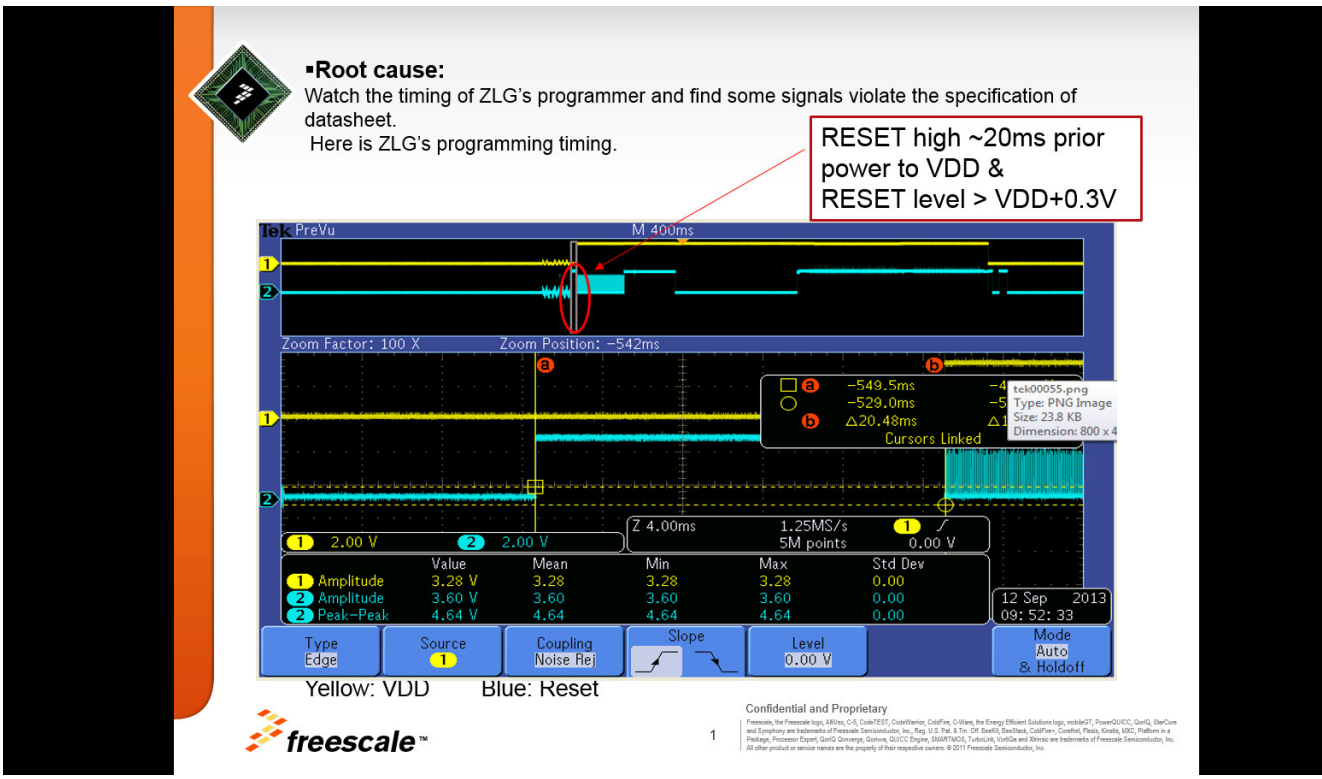
（1）焊接问题：这是出现几率最高的一个问题，在我们手册上其实对焊接温度有明确的要求 260°C，很多在样机调试阶段手工焊接的板子都是由于在温度控制上出了问题，而且过温导致的 lock，是最难解的，怀疑甚至是造成了芯片的损伤。
手工焊接时即使烙铁控制在 260°C，时间也是一个重要因素，长时间的焊接也同样会造成芯片失效。
所以如果是产线上，必须控制温度在 260°C
如果是手工焊，高温（300-400°C）必须短时，这个非专业人员很难控制！
或者<280°C，时间可以稍微可以长一点，并注意散热。

4.1 Thermal handling ratings

Symbol	Description	Min.	Max.	Unit	Notes
T_{STG}	Storage temperature	–55	150	°C	1
T_{SDR}	Solder temperature, lead-free	—	260	°C	2
	Solder temperature, leaded	—	245		

1. Determined according to JEDEC Standard JESD22-A103, *High Temperature Storage Life*.
2. Determined according to IPC/JEDEC Standard J-STD-020, *Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices*.

（2）上电顺序，之前已经确认过这个 issue，如果 reset pin 先于 VDD 上电，将导致芯片 lock，而且很难恢复。所以电源部分或者烧写器需要特别检查上电时序。且复位脚对于烧写来说并不是必须的，可以考虑不接。



（3）在 Reset pin 上加高压，并配合一定时序，将改变芯片内部 NVM/IFR 的设置，BU 确认这是工厂的一个操作，用以改变芯片的 chip ID 等设置。这个技术在之前的 HC08 的片子上有所体现，通过给 IRQ 加 2*VDD 的电压能够使能内部的 Boot Monitor。

The mode of operation is latched on the rising edge of the reset pin. The monitor mode is selected by connecting two port lines to V_{ss} and applying an over-voltage of approximately 2 x V_{DD} to the $\overline{IRQ1}$ pin concurrent with the rising edge of reset (see Table 3-1). Port allocation varies from part to part.

Table 3-1. Mode Selection

$\overline{IRQ1}$ Pin	Port x	Port y	Mode
≤ V_{DD}	X	X	User
2 x V_{DD}	1	0	Monitor

（4）过长的调试线，曾经试过 40-50cm 的调试线，会导致芯片锁住及调试不稳定；

（5）人为的给芯片上锁，可以通过 mass erase 全擦解锁；

（6）部分盗版的 Jlink，在调试口会被损坏，现象也表现为 Lock 或者不能找到 core

分析受损伤的芯片，可以看出 EOS 的 issue，从芯片物理损伤来看，并不表现一致，既有 Reset pin 的开路，也有 TCLK 漏电流的现象。此类损伤无法恢复，已经造成了明确的伤害。所以选择合适的烧写器，并检查烧写器的电压，毛刺，上电时序是非常必要的。

Testing on the ATE revealed that four of the devices failed for leakage on various pins including the RESET pin. Unpowered curve trace analysis showed the RESET pin was open on Device 1 and normal on the remaining four units. The TCLK pin had no positive diode on Device 1 and leakage on Devices 2, 3, and 4. Devices 2, 3, and 4 exhibited leakage between Vdd and ground. Device 2 was selected for further analysis and decapsulated. OBIRCH (Optical Beam Induced Resistance Change) revealed a unique site near the JTAG TCLK pin. A visual inspection found evidence of EOS. Deprocessing and visual inspections found damage indicative of EOS.

2.2 可能的其他原因（偶发性）

（1）热插拔:这是在量产过程中需要尽量避免的操作；

（2）不合适的程序：比如有用户侦测 LVD 事件，并去编程 flash 记录此事件会导致 Flash 内容或者其他功能的异常；频繁的 Erase-Program-Read 循环测试 flash 会导致 flash 自我的保护机制；

（3）电源不稳；

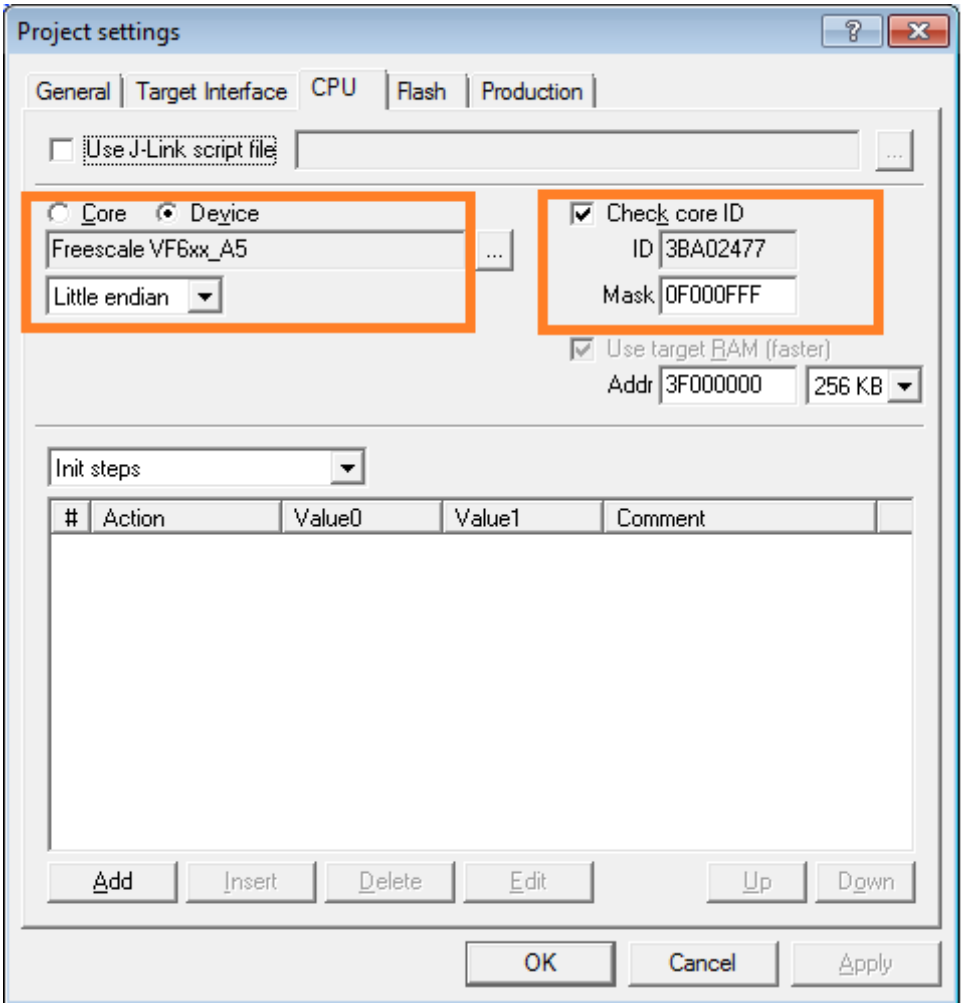
（4）调试信号不稳定或者有毛刺

3. 解锁检查步骤及方法

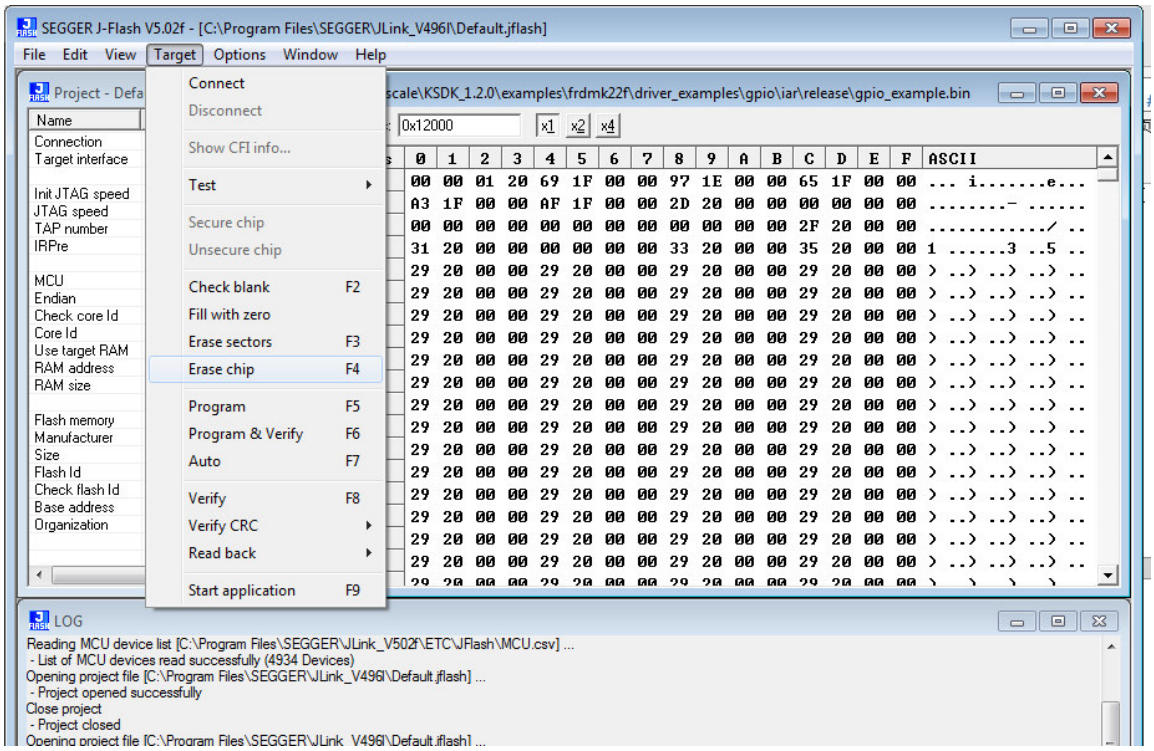
讲了那么多造成 Lock 的原因下面讲一下解锁的步骤，由简单到复杂，直至解锁为止。

（1） 遇到疑似锁住的情况，可以检查下 Reset pin 此时的电平，对于空芯片来说应该是锯齿波。如果客户工程师有程序的话，首先使用 IDE（IAR，KEIL）去下载程序试试看。如果是主动加密，会提示 chip secured，这个情况下只要 mass erase 基本没有问题；↓

（2） 使用 Jflash 配置好芯片类型，并勾选 check core ID，去 connect 芯片，jflash 会在总线上寻找 debug port/SWJ-DP，并比对 core ID, 如果找不到或者比对后对应不上，connect 即会失败；↓



（3） 如果能连接成功，使用 Target 菜单下的 Erase chip 命令去擦除芯片；如果能 erase 成功，基本能救回来，但是 AE 的 report 也提到有 mass erase 完都无法再 program 的例子，估计此 mass erase 的操作完成其实只是假象，实际步骤并未完成；↓



（4） 如果以上步骤不成功，持续拉低 Reset pin，再 erase chip 尝试下；↓

（5） 如果以上步骤不成功，需要切换入 Jlink 的 command 模式下，在命令行下调用 jlink.exe，可以优先使用 Segger 提供的“Unlock kinetis”命令，此命令用于解锁一些简答的加锁，比如主动加锁应该是可以的；运行此命令需要将调试器的 reset pin 与 MCU 的 reset pin 连接。↓

（6） 使用 Erase_all_pins 的解锁脚本，经多次验证可用，而且效果比较好，很多难解的都能解开。在 command line 下调用 Jlink.exe erase_all_pin.jlk

Jlink解锁Kinetis说明.zip (http://pan.baidu.com/s/1qX5BT5i)，注意查看 log，其中会提示是否找得到 Debug Access Port, 然后是否能通过这个 port 找到 MCU core；如果能够找到 AHB-AP，就可以通过此接口访问 MDM-AP，去查看目前 MCU 的状态，这部分功能由 MDM-AP status 寄存器获取；并通过 ID 寄存器获取芯片 ID。

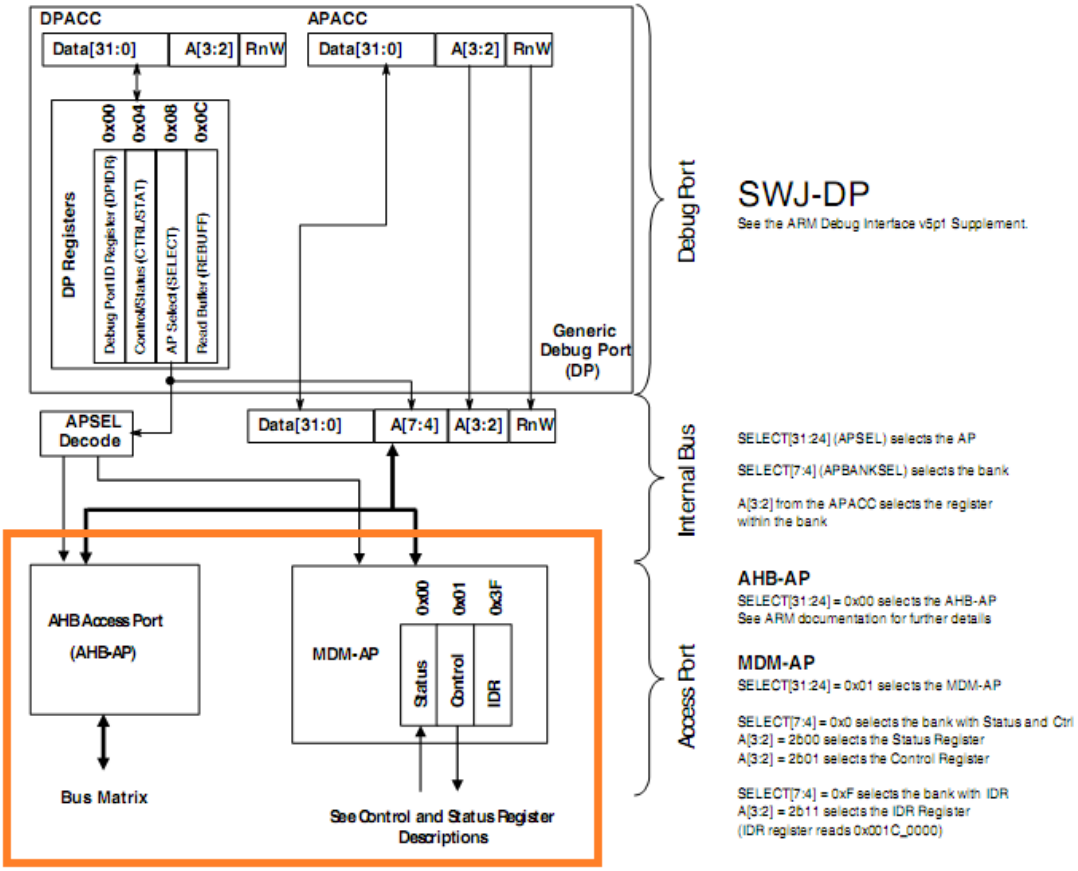
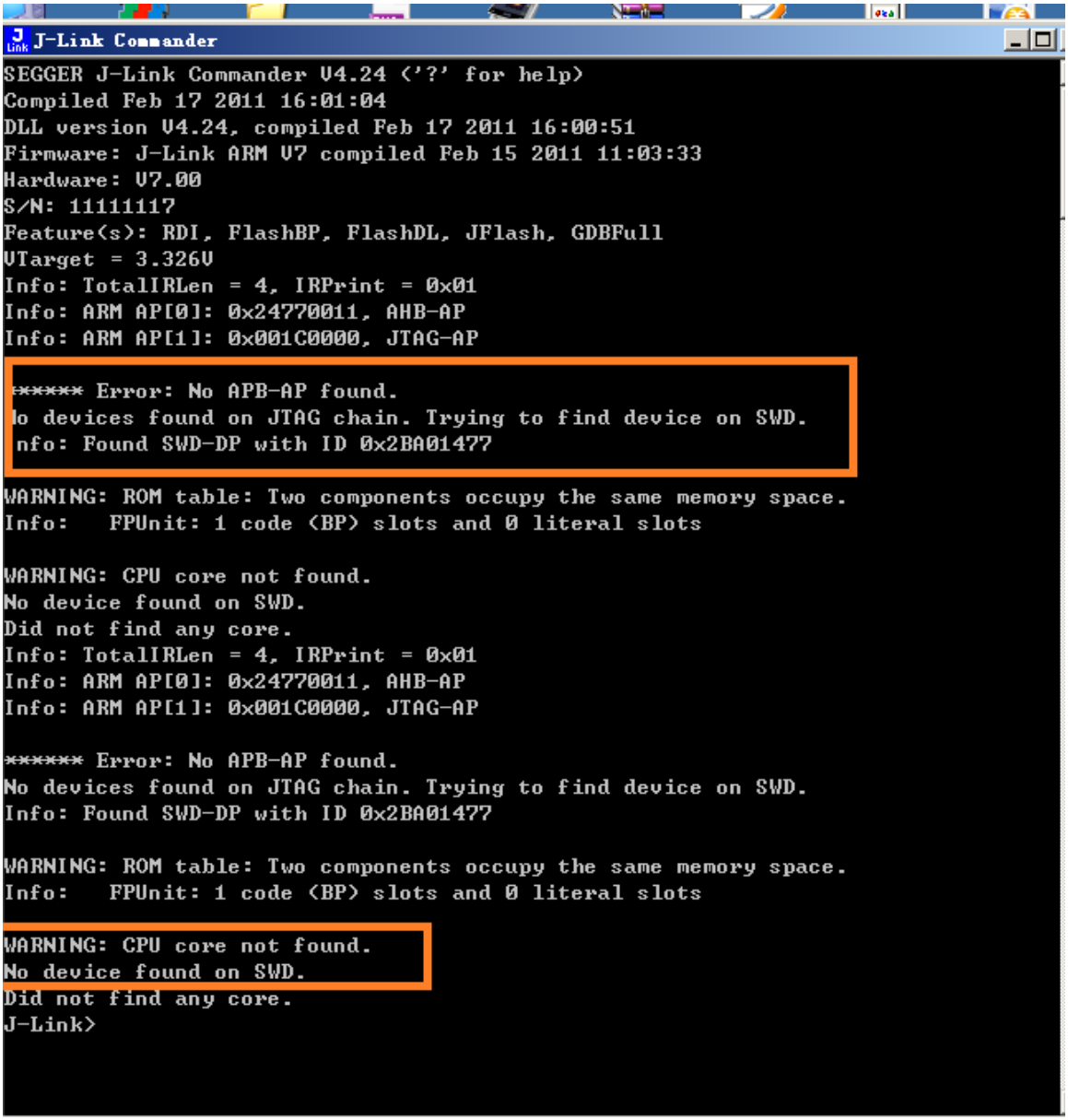


Figure 9-3. MDM AP Addressing

（7） 这一步中如果连 SWD-DP 都找不到，说明可能 debug 口已经损坏或者不再接受连接，或者找不到 MCU core，此时剩下的办法就是拉低 reset，并多次运行此脚本。遇到过很多情况，一次解锁不了，运行多次才能解锁，但解锁后一切正常；



（8） 如果上述办法都用了，更新 Jlink 至最新的硬件和软件也是一个尝试的方法，或者使用 Multilink 去尝试，我自己都遇到过改用这种方式成功的例子；

4. 设计及生成注意事项

4.1 温度控制永远是第一位的，尤其是手工焊接，几乎都会存在问题。

4.2 Reset 电路设计—在使用外接推挽式的 reset 芯片时，可能导致芯片损坏（现象是芯片锁住）。所以需要使用开漏输出的 reset 芯片或者串接一个电阻,Kinetis 的复位 PIN 在任何复位后都会输出一段时间的低电平,这个信号可以用来确认 MCU 是否复位．因此,如果想对 MCU 外接复位芯片，须提供 Open Drain 模式的复位信号．在使用某些廉价工具时,尽量尝试使用不连接 Reset Pin 的方式．

检查常见的复位芯片的数据手册，以 SP706 为例，复位芯片的数据手册建议是串接一个 4.7K 的电阻；

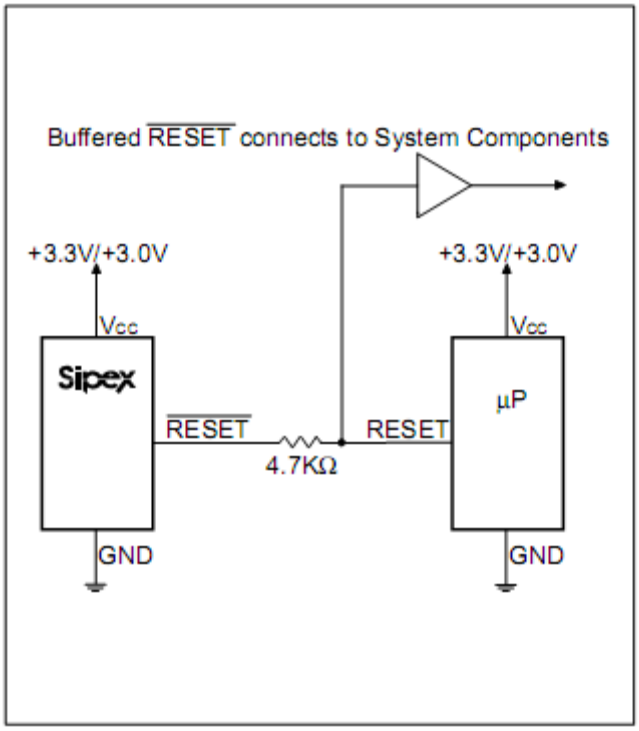


Figure 19. Interfacing to Microprocessors with Bidirectional RESET I/O for the SP706

在 Kinetis 上手指南中其实已经详述过这一问题：

通常，为保证可靠性有些客户会选择使用一个外置的复位芯片。在复位芯片的输出类型选择上，建议选择Open-Drain输出的复位芯片，因为推挽输出类型的复位芯片在复位引脚输出高，而且在复位芯片和MCU的复位引脚没有做隔离或者保护时，容易导致MCU复位引脚被烧坏。所以如果客户选择使用推挽输出的类型的复位芯片，建议在MCU和复位芯片之间串连一个电阻或者二极管进行隔离，连接的系统框图分别如图 106(a)和(b)所示，电阻R31阻值的选择需要根据外部复位芯片驱动能力来确定，建议值为10 K-100 K。

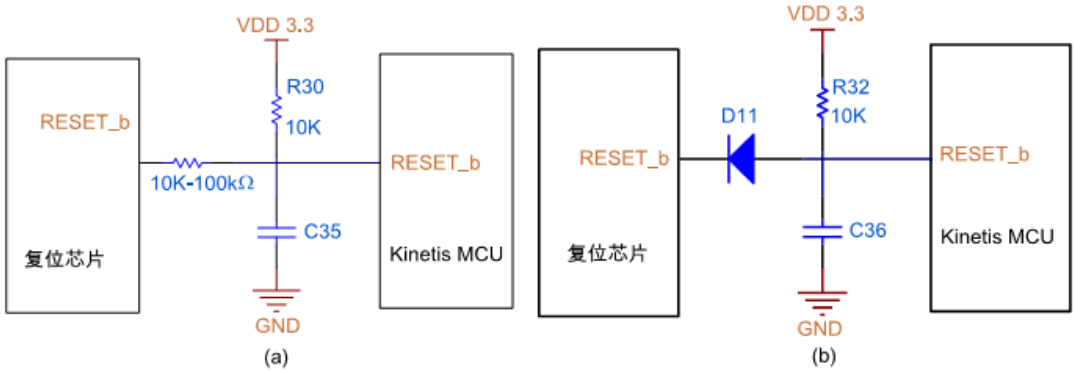


图 106 复位芯片与MCU复位引脚连接框图

还有一点需要注意的是，RESET引脚的供电不能早于芯片电源引脚VDDx的供电，否则可能会造成芯片被锁。而如果RESET引脚在系统中没有被使用，建议把该引脚配置成GPIO功能，并设置输出为低，从而减少外部噪声的干扰，提高系统总体的EMC性能。

4.3 仿真工具：由于 Kinetis 系列 MCU 可以设置将 MCU 完全锁死的模式，所以必须保证调试接口工作稳定，以防止执行意外误操作而将 MCU 完全锁死．因此，设计上需要使仿真接口的连接线尽量短．

4.4 不要使用盗版 Jlink 作为量产工具，量大之后，失效率是比较明显的；

4.5 检查用户的烧写工装，是否存在热插拔、调试线过长（<15cm）、Reset 脚先上电(确保 VDD 先上电)、电压过高（<VDD+0.3V）等问题；

4.6 MCU reset pin 在通常情况下不要连接烧写器的 reset pin，但是 pin 脚需要接出来。例外情况是，在某些情况下，必须连接才能烧写：在一个客户处使用 SWD 接口烧写 K64，如果不连 reset 显示 lock，如果连接了 reset，没有任何提示就烧写成功了。