

# 数据手册

东江电子 15986782309  
邓先生 QQ 847659309

## GM8775C

### DSI 转双通道 LVDS 发送器

2019.06

成都振芯科技股份有限公司

# DSI 转双通道 LVDS 发送器

# GM8775C

GM8775C		
当前版本号：1.0		当前版本时间：2019 年 06 月
版本更新记录		
版本号	更新时间	版本更新说明
1.0	2019.06.09	

# DSI 转双通道 LVDS 发送器

GM8775C

## 目 录

1	产品概述.....	1
2	产品特征.....	1
3	产品功能框图.....	1
4	封装及引脚功能说明.....	2
5	芯片详细功能描述.....	5
5.1	内部寄存器功能表.....	5
5.2	DSI 接收功能.....	11
5.3	LVDS FPD LINK 发送功能.....	12
5.4	时钟源选择功能.....	12
5.5	PWM 时钟输出功能.....	12
5.6	寄存器配置.....	12
6	参数指标.....	13
6.1	最大额定值.....	13
6.2	推荐工作条件.....	13
6.3	电特性.....	13
7	产品应用信息.....	14
7.1	参考原理图.....	14
7.2	应用说明.....	15
附 2	芯片配置流程及推荐配置.....	16
1)	芯片初始化配置流程.....	16
2)	推荐配置字.....	16

# DSI 转双通道 LVDS 发送器

# GM8775C

## 1 产品概述

GM8775C 型 DSI 转双通道 LVDS 发送器产品主要实现将 MIPI DSI 转单/双通道 LVDS 功能, MIPI 支持 1/2/3/4 通道可选, 每通道最高支持 1Gbps 速率, 最大支持 4Gbps 速率。LVDS 时钟频率高达 154MHz, 最大支持视频格式为 FULL HD (1920 x 1200)。

该芯片的主要应用于手持设备、双屏显示, 大屏幕显示等应用需求。

## 2 产品特征

- a) I/O 电源电压: 3.3V/1.8V;
- b) core 电源电压: 1.8V;
- c) 支持 MIPI® D-PHY 1.00.00 和 MIPI® DSI 1.02.00。
- d) MIPI 支持 1/2/3/4 通道的传输方式, 每通道速率高达 1Gbps。
- e) MIPI 接收 18bpp RGB666 、24bpp RGB888 、16bpp RGB565 的打包格式。
- f) MIPI 支持 LPDT 传输 (Low-Power Data Transmission) 和反向 LPDT 传输。
- g) LVDS 的时钟范围为 25MHz 到 154MHz。
- h) LVDS 输出支持单/双通道模式。选择双通道模式时, 可配置输出为 18/24bit, JEIDA/VESA 模式; 选择单通道时, 每通道可同时输出, 且可单独配置输出模式 (18/24bit, JEIDA/VESA 模式)。
- i) LVDS 的输出数据通道可灵活调整顺序以方便 PCB 布线。
- j) 可选择采用 MIPI 时钟、外部参考时钟做 LVDS 输出的参考频率, 且支持自动校准功能。
- k) 支持 MIPI DSI 配置, 外部 I2C 配置两种芯片配置方式;
- l) GPIO 可以输出 PWM 信号, 控制屏幕背光。
- m) 封装: QFN48-pins with e-pad.
- n) 工作温度: -40°C~85°C;
- o) ESD 能力:  $\geq 2KV$ 。

## 3 产品功能框图

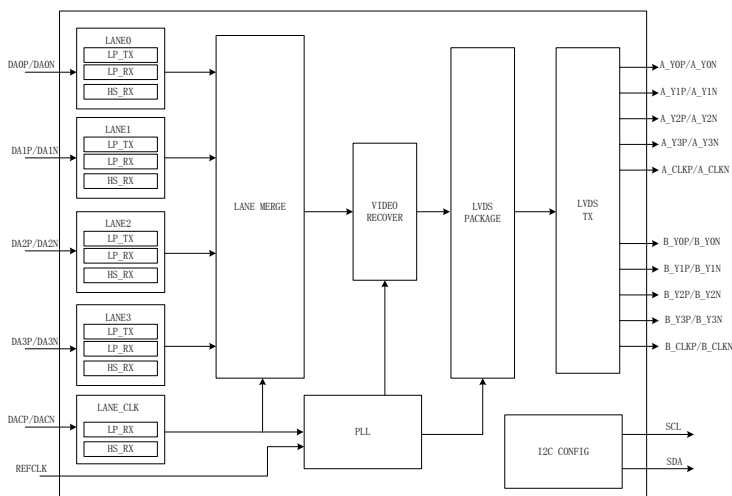


图 1 功能结构图

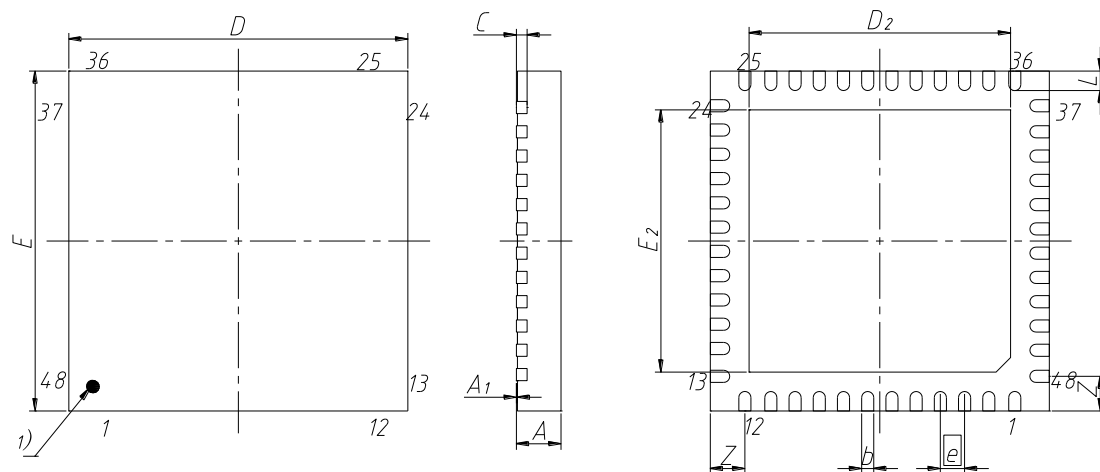
## DSI 转双通道 LVDS 发送器

## GM8775C

功能框图按图 1 规定。本器件主要由 DSI 接收通道，通道数据整合、视频信号恢复、锁相环、LVDS 信号打包、LVDS TX 等模块组成，实现将 1/2/3/4 通道的 DSI 图像信号转换成单/双通道 LVDS 信号输出的功能。

### 4 封装及引脚功能说明

本器件采用 48 引线的方形扁平无引脚（QFN48）封装。外形如下所示：



注:1) 为引出端识别标志。

单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	0.70	—	0.80
A <sub>1</sub>	0	—	0.05
b	0.18	—	0.30
c	0.18	—	0.23
D	—	—	7.10
E	—	—	7.10
e	—	0.50	—
D <sub>2</sub>	5.30	—	5.50
E <sub>2</sub>	5.30	—	5.50
L	0.35	—	0.45
Z	—	0.75	—

图 2 外壳外形

引出端排列如下所示：

# DSI 转双通道 LVDS 发送器

# GM8775C

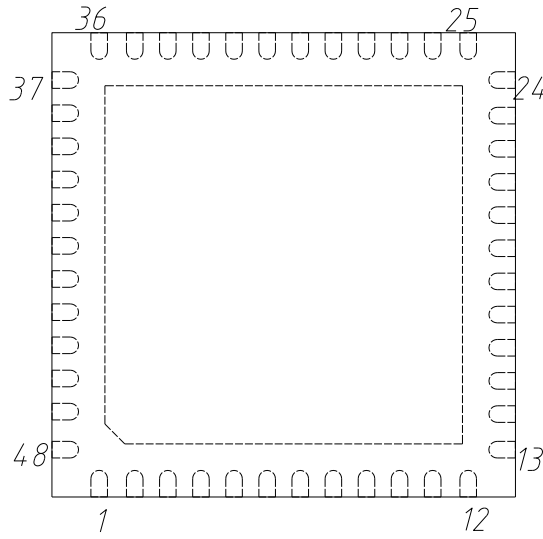


图 3 引出端排列

芯片的引脚功能详细说明:

表 1 引脚功能说明

引脚号	引脚名称	I/O 方向	功能说明
MIPI 输入端口			
14/15	DA0P/ DA0N	In	MIPI DSI 数据 0 通道差分输入正/负端
16/17	DA1P/ DA1N	In	MIPI DSI 数据 1 通道差分输入正/负端
20/21	DA2P/ DA2N	In	MIPI DSI 数据 2 通道差分输入正/负端
22/23	DA3P/ DA3N	In	MIPI DSI 数据 3 通道差分输入正/负端
18/19	DACP/ DACN	In	MIPI DSI 时钟差分输入正/负端
LVDS 输出端口			
34/33	A_Y0P/A_Y0N	Out	A 通道 LVDS 数据 0 路差分输出正/负端
32/31	A_Y1P/A_Y1N	Out	A 通道 LVDS 数据 1 路差分输出正/负端
30/29	A_Y2P/A_Y2N	Out	A 通道 LVDS 数据 2 路差分输出正/负端
26/25	A_Y3P/A_Y3N	Out	A 通道 LVDS 数据 3 路差分输出正/负端
28/27	A_CLKP/A_CLKN	Out	A 通道 LVDS 时钟差分输出正/负端
48/47	B_Y0P/B_Y0N	Out	B 通道 LVDS 数据 0 路差分输出正/负端
46/45	B_Y1P/B_Y1N	Out	B 通道 LVDS 数据 1 路差分输出正/负端
44/43	B_Y2P/B_Y2N	Out	B 通道 LVDS 数据 2 路差分输出正/负端

## DSI 转双通道 LVDS 发送器

## GM8775C

40/39	B_Y3P/B_Y3N	Out	B 通道 LVDS 数据 3 路差分输出正/负端
42/41	B_CLKP/B_CLKN	Out	B 通道 LVDS 时钟差分输出正/负端
数字及控制端口 (TTL 电平)			
1	SCL	InOut	I <sup>2</sup> C Master/Slave 的 SCL 管脚
2	SDA	InOut	I <sup>2</sup> C Master/Slave 的 SDA 管脚
8	I <sup>2</sup> C_TYPE	In	高: SCL/SDA 为 Master; 低: SCL/SDA 为 Slave
7	I <sup>2</sup> C_ADDR	In	1) 当 I <sup>2</sup> C_TYPE 为低时, 该芯片的 I2C 地址为: (1) I <sup>2</sup> C_ADDR 为高, 芯片 I <sup>2</sup> C 地址为 0x5C; (2) I <sup>2</sup> C_ADDR=Low, 芯片 I <sup>2</sup> C 地址为 0x58; 2) 当 I <sup>2</sup> C_TYPE 为高时, 外部 EEPROM 的地址为 0xA0。
6	IRQ	Out	通过寄存器选择输出的中断信号
3	GPO_0	Out	通过寄存器配置输出信号
4	GPO_1	Out	通过寄存器配置输出信号
9	RESERVE	In	保留管脚, 接地。
12	EN	In	芯片使能控制输入端: 1) 为高时, 芯片正常工作; 2) 为低时, 芯片进入关断状态。
24	REFCLK	In	外部参考时钟输入管脚。当不用该管脚的参考时钟时, 该管脚接 GND。
电源端口			
35/38	VDD_LVDS	Power	1.8V LVDS 电源, 电源纹波 ≤ ±100mV
36	VDD_PLL	Power	1.8V PLL 电源, 电源纹波 ≤ ±100mV
10	VDDIO	Power	1.8V/3.3V I/O 电源, 电源波动 ≤ 10%
13	VDD_RX	Power	1.8V MIPI 电源, 电源纹波 ≤ ±100mV
11	Vcore	Power	该管脚必须接到地电容。电容至少为一个 0.1uF 和一个 0.01uF 并联。
37	VSS_PLL	GND	PLL 地。
5	GND	GND	VDDIO 地。
DAP	GND	GND	芯片地

## DSI 转双通道 LVDS 发送器

## GM8775C

## 5 芯片详细功能描述

## 5.1 内部寄存器功能表

本芯片内部寄存器地址位宽度为 8bit，范围从 0x00~0XD8，数据位宽为 8bit。寄存器主要功能如下所示：

表 2 I<sup>2</sup>C 配置寄存器列表

寄存器名称	寄存器地址	默认值	功能	
Password	0x00	0x55	before config , set this register to 8'hAA firstly Bit[7:0]: 8'hAA	
HACTIVE[7:0]	0x01	0x00	Bit[7:0]: horizontal active LSB	
VACTIVE[7:0]	0x02	0x58	Bit[7:0]: vertical active LSB	
VACTIVE[11:8]	0x03	0x02	Bit[7:4]: vertical active MSB	
HACTIVE[11:8]		0x04	Bit[3:0]: horizontal active MSB	
HFP_WIDTH[7:0]	0x04	0x54	Bit[7:0]: horizontal front porch LSB	
HSW_WIDTH[7:0]	0x05	0x 64	Bit[7:0]: horizontal sync width LSB	
HBP_WIDTH[7:0]	0x06	0x 8	Bit[7:0]: horizontal back porch LSB	
VS_POL	0x07	0x00	Bit[7]: vertical sync polarity	
HS_POL		0x00	Bit[6]: horizontal sync polarity	
HFP_WIDTH[9:8]		0x00	Bit[5:4]: horizontal front porch MSB	
HSW_WIDTH[9:8]		0x00	Bit[3:2]: horizontal sync width MSB	
HBP_WIDTH[9:8]		0x00	Bit[1:0]: horizontal back porch MSB	
VFP_WIDTH[7:0]	0x08	0x04	Bit[7:0]: vertical front porch MSB	
VSW_WIDTH[7:0]	0x09	0x04	Bit[7:0]: vertical sync width MSB	
VBP_WIDTH[7:0]	0x0A	0x14	Bit[7:0]: vertical back porch MSB	
PLL_REFSEL	0x0B	0x00	Bit[7:6]: PLL 参考钟选择 00: from reference clock 10: from MIPI high speed byte clock 11: from oscillator	
reserved			0x00	Bit[5]: not used
PLL_REFDIV			0x01	Bit[4:0]: PLL REFCLK Divider PLL_REFDIV<3:0> : 1~15: divide by 1~15, 0: divide by 16 PLL_REFDIV<4> , 0: no extra divide, 1: extra divide by 2
PLL_INT[7:0]	0x0C	0x16	Bit[7:0]: Feedback divider ratio, from sdm, 1~1023	
RD_FIFO_DLY[11:8]	0x0D	0x00	Bit[7:4]: save how many data, then begin to output	
PLL_INT[9:8]		0x00	Bit[3:2]: Feedback divider ratio, from sdm, 1~1023	
PLL_POST_DV		0x00	Bit[1:0]: PLL POST Divider。00: Divider by1; 01: Divider by 2; 10: Divider by 4; 11: Divider by 8。	



## DSI 转双通道 LVDS 发送器

## GM8775C

寄存器名称	寄存器地址	默认值	功能
RD_FIFO_DLY[7:0]	0x0E	0x80	Bit[7:0]: save how many data, then begin to output
MIN_HSW	0x0F	0x08	Bit[7:0]: set minimum HSW when generate LVDS video output
MIN_HFP	0x10	0x08	Bit[7:0]: set minimum HFP when generate LVDS video output
MIPI_DATA_PN	0x11	0x00	Bit[7:4]: 1:P/N swap; 0:not swap
MIPI_CLK_PN		0x00	Bit[3]: 1:P/N swap; 0:not swap
reserved		0x00	Bit[2]: not used
MIPI_LANE_NUM	0x12	0x03	Bit[1:0]: 00: 1 lane; 01: 2 lanes; 10: 3 lanes; 11: 4 lanes;
MIPI_LANE0_SEL		0x00	Bit[7:6]: 00: lane0; 01: lane1; 10: lane2; 11: lane3
MIPI_LANE1_SEL		0x01	Bit[5:4]: 00: lane0; 01: lane1; 10: lane2; 11: lane3
MIPI_LANE2_SEL		0x02	Bit[3:2]: 00: lane0; 01: lane1; 10: lane2; 11: lane3
MIPI_LANE3_SEL	0x13	0x03	Bit[1:0]: 00: lane0; 01: lane1; 10: lane2; 11: lane3
reserved		0x00	Bit[7]: not used
DUAL_LINK_EN		0x01	Bit[6]: 1:enable even/odd data to output through dual LVDS link 0:all data output just through one LVDS link
LINK1_DATA_SEL		0x01	Bit[5]: 0: select even data(0,2,4,…… ) 1: select odd data(1, 3, 5, …… )
LINK0_DATA_SEL		0x00	Bit[4]: 0: select even data(0,2,4,…… ) 1: select odd data(1, 3, 5, …… )
LINK1_JEIDA_EN		0x00	Bit[3]: 1: JEIDA format; 0:VESA format
LINK0_JEIDA_EN		0x00	Bit[2]: 1: JEIDA format; 0:VESA format
LINK1_BIT_SEL		0x01	Bit[1]: 1: 8bit; 0: 6bit
LINK0_BIT_SEL	0x01	Bit[0]: 1: 8bit; 0: 6bit	
reserved	0x14	0x00	Bit[7]: not used
LINK0_LANE0_SEL		0x00	Bit[6:4]: LVDS0 lane0 data output selection, 4→ clk
reserved		0x00	Bit[3]: not used
LINK0_LANE1_SEL		0x01	Bit[2:0]: LVDS0 lane1 data output selection, 4→ clk
reserved	0x15	0x00	Bit[7]: not used
LINK0_LANE2_SEL		0x02	Bit[6:4]: LVDS0 lane2 data output selection, 4→ clk
reserved		0x00	Bit[3]: not used
LINK0_LANE3_SEL		0x03	Bit[2:0]: LVDS0 lane3 data output selection, 4→ clk
reserved	0x16	0x00	Bit[7]: not used
LINK0_LANECK_SEL		0x04	Bit[6:4]: these 3 bits reads out ZERO
reserved		0x00	Bit[3:0]: these 3 bits reads out LINK0_LANECK_SEL

## DSI 转双通道 LVDS 发送器

## GM8775C

寄存器名称	寄存器地址	默认值	功能
reserved	0x17	0x00	Bit[7:5]: not used
LINK0_PN_SWAP		0x00	Bit[4:0]: 1:P/N swap; 0:not swap
reserved	0x18	0x00	Bit[7]: not used
LINK1_LANE0_SEL		0x00	Bit[6:4]: LVDS1 lane0 data output selection, 4→ clk
reserved		0x00	Bit[3]: not used
LINK1_LANE1_SEL	0x19	0x01	Bit[2:0]: LVDS1 lane1 data output selection, 4→ clk
reserved		0x00	Bit[7]: not used
LINK1_LANE2_SEL		0x02	Bit[6:4]: LVDS1 lane2 data output selection, 4→ clk
reserved	0x1A	0x00	Bit[3]: not used
LINK1_LANE3_SEL		0x03	Bit[2:0]: LVDS1 lane3 data output selection, 4→ clk
reserved		0x00	Bit[7]: not used
LINK1_LANECK_SEL	0x1B	0x04	Bit[6:4]: these 3 bits reads out ZERO
reserved		0x00	Bit[3:0]: these 3 bits reads out LINK1_LANECK_SEL
reserved		0x00	Bit[7:5]: not used
LINK1_PN_SWAP	0x1F	0x00	Bit[4:0]: 1:P/N swap; 0:not swap
reserved		0x00	Bit[7:5]: not used
SOFT_RESET		0x00	Bit[4]: when write "1", will auto return to "0"
reserved	0x20	0x00	Bit[3:1]: not used
CONFIG_FINISH		0x00	Bit[0]: after config all register, this bit should be set to "1"
reserved		0x00	Bit[7:4]: not used
PD_MIPI3_CTRL_CLK	0x21	0x00	Bit[3]: 1: power down related clock; 0: normal work function
PD_MIPI2_CTRL_CLK		0x00	Bit[2]: 1: power down related clock; 0: normal work function
PD_MIPI1_CTRL_CLK		0x00	Bit[1]: 1: power down related clock; 0: normal work function
PD_MIPI0_CTRL_CLK		0x00	Bit[0]: 1: power down related clock; 0: normal work function
reserved		0x00	Bit[7:4]: not used
PD_MIPI3_HS_CLK	0x21	0x00	Bit[3]: 1: power down related clock; 0: normal work function
PD_MIPI2_HS_CLK		0x00	Bit[2]: 1: power down related clock; 0: normal work function
PD_MIPI1_HS_CLK		0x00	Bit[1]: 1: power down related clock; 0: normal work function
PD_MIPI0_HS_CLK		0x00	Bit[0]: 1: power down related clock;

## DSI 转双通道 LVDS 发送器

## GM8775C

寄存器名称	寄存器地址	默认值	功能
			0: normal work function
reserved	0x22	0x00	Bit[7:3]: 1: power down related clock; 0: normal work function not used
PD_BIST_GEN_CLK		0x00	Bit[2]: 1: power down related clock; 0: normal work function
reserved		0x00	Bit[1:0]: not used
MIPI_CLK	0x27	0x55	Bit[7:0]: set this register to 8'hAA before config other register with MIPI
BIST_MODE	0x2A	0x00	Bit[7:4]: 1: white; 2: frame line;3: chess pattern;4: color bar;5: white-black-red-green-blue loop
BIST_FORCE		0x00	Bit[3]: 1: force to go to bist mode; 0: wait mipi vs
BIST_GEN_EN		0x00	Bit[2]: if want to display bist pattern, sed this BIST_GEN_EN=1
reserved		0x00	Bit[1]: not used
DE_POL		0x01	Bit[0]: set DE polarity
BIST_RED	0x2B	0xFF	Bit[7:0]: set bist grey level
BIST_GREEN	0x2C	0xFF	Bit[7:0]: set bist grey level
BIST_BLUE	0x2D	0xFF	Bit[7:0]: set bist grey level
BIST_CHESS_X[7:0]	0x2E	0x10	Bit[7:0]: bist pattern chess x LSB
BIST_CHESS_Y[7:0]	0x2F	0x10	Bit[7:0]: bist pattern chess y LSB
BIST_CHESS_Y[11:8]	0x30	0x00	Bit[7:4]: bist pattern chess y MSB
BIST_CHESS_X[11:8]		0x00	Bit[3:0]: bist pattern chess x MSB
BIST_FRM_TIME	0x31	0x78	Bit[7:0]: unit: frame
reserved	0x34	0x00	Bit[7:1]: not used
RST_LVDS		0x00	Bit[0]: 1:reset LVDS function; 0: normal work
reserved	0x35	0x00	Bit[7:2]: not used
RST_I2C_SLAVE		0x00	Bit[1]: 1: reset related function; 0:normal work
RST_I2C_ARBITER		0x00	Bit[0]: 1: reset related function; 0:normal work
reserved	0x36	0x00	Bit[7:3]: not used
RST_BIST_GEN		0x00	Bit[2]: 1: reset related function; 0:normal work
RST_BRIDGE_LVDS		0x00	Bit[1]: 1: reset related function; 0:normal work
RST_TX_LVDS		0x00	Bit[0]: 1: reset related function; 0:normal work
LVDS_AB_SEL	0x3F	0xAA	Bit[7:0]: 8'hAA: set LVDSA; else: set LVDSB from address 0x40 to 0x43
PD_LDCTX	0x40	0x00	Bit[7]: 1: power down related channel; 0: normal work
PD_TX_LOCK		0x01	Bit[6]: 1: power down related channel; 0: normal work

## DSI 转双通道 LVDS 发送器

## GM8775C

寄存器名称	寄存器地址	默认值	功能
PD_TX		0x00	Bit[5]: 1: power down related channel; 0: normal work
PD_TX_CK		0x00	Bit[4]: 1: power down related channel; 0: normal work
PD_TX_CH3		0x00	Bit[3]: 1: power down related channel; 0: normal work
PD_TX_CH2		0x00	Bit[2]: 1: power down related channel; 0: normal work
PD_TX_CH1		0x00	Bit[1]: 1: power down related channel; 0: normal work
PD_TX_CH0		0x00	Bit[0]: 1: power down related channel; 0: normal work
TX_RTERM	0x41	0x00	Bit[7]: LVDS near end differential terminal resistance: 0 for 100Ω ; 1 for 200Ω
TX_VOCM		0x01	Bit[6]: LVDS data/clock output common mode 0 for 1.2V; 1 for 0.9V
TX_BYP_RSTDIV7		0x00	Bit[5]: 1: Bypass DIV7 reset block
TX_CK_SWAP		0x00	Bit[4]: Swap 7x clock polarity
TX_VOD_DATA		0x03	Bit[3:0]: LVDS data output differential swing control output swing= $\langle 3 \rangle * 100m + \langle 2:0 \rangle * 50m + 50m$
TX_VOD_CK	0x42	0x03	Bit[7:4]: LVDS clock output differential swing control Output Swing = $\langle 3 \rangle \times 100mV + \langle 2:0 \rangle \times 50mV + 50mV$
TX_VOCM_AD		0x01	Bit[3:2]: LVDS data/clock output common mode fine adjust. TX_VOCM=0, 00: 1.12V, 01: 1.16V, 10: 1.2V, 11: 1.24V. TX_VOCM=1, 00: 0.86V, 01: 0.9V, 10: 0.94V, 11: 0.98V.
TX_MATCH		0x01	Bit[1]: TX output matching resistor enable
reserved		0x00	Bit[0]: not used
reserved		0x00	Bit[7]: not used
TX_VOSSL	0x43	0x00	Bit[6:4]: LVDS data/clock output slew rate control
TX_SW_DATA		0x02	Bit[3:2]: LVDS data driver switch strength 11: $\geq 350mV$ , 10: 200~350mV, 01: $< 200mV$
TX_SW_CK		0x02	Bit[1:0]: LVDS clock driver switch strength 11: $\geq 350mV$ , 10: 200~350mV, 01: $< 200mV$
reserved	0x49	0x00	Bit[7]: not used
OSC_FREQ		0x40	Bit[6:0]: set the OSC frequency
reserved	0x51	0x00	Bit[7:6]: not used
PLL_VCO_ISEL		0x08	Bit[5:0]: VCO frequency control Calibration this code at PLL start up
PLL_FRAC[7:0]	0x66	0x00	Bit[7:0]: PLL fraction
PLL_FRAC[15:8]	0x67	0x00	Bit[7:0]: PLL fraction
PLL_FRAC[23:16]	0x68	0x00	Bit[7:0]: PLL fraction
reserved	0x6A	0x00	Bit[7:4]: not used

## DSI 转双通道 LVDS 发送器

## GM8775C

寄存器名称	寄存器地址	默认值	功能
PLL_SSC_ENABLE		0x00	Bit[3]: enable SSC
DET_LOCK_SEL		0x00	Bit[2]: 0:select A; 1:select B
reserved		0x00	Bit[1:0]: not used
reserved	0x6B	0x00	Bit[7:3]: not used
CORE_I2C_TYPE		0x00	Bit[2]: read only
CORE_GPIO_0_IN		0x00	Bit[1]: read only
CORE_GPIO_1_IN		0x00	Bit[0]: read only
PLL_SSC_PERIOD[7:0]	0x6C	0x00	Bit[7:0]: SSC period
PLL_SSC_PERIOD[15:8]	0x6D	0x00	Bit[7:0]: SSC period
PLL_SSC_PERIOD[23:16]	0x6E	0x00	Bit[7:0]: SSC period
PLL_SSC_STEP[7:0]	0x6F	0x00	Bit[7:0]: SSC step
PLL_SSC_STEP[15:8]	0x70	0x00	Bit[7:0]: SSC step
PLL_SSC_STEP[23:16]	0x71	0x00	Bit[7:0]: SSC step
GPIO_0_SEL	0x7B	0xFF	Bit[7:0]: select output signal from GPIO_0
GPIO_1_SEL	0x7C	0xF1	Bit[7:0]: select output signal from GPIO_1
IRQ_SEL	0x7D	0x01	Bit[7:0]: select output signal for IRQ
CONTENTION_ERR	0x80	0x00	Bit[7]: MIPI defined error indicator
FALSE_CTRL_ERR		0x00	Bit[6]: MIPI defined error indicator
PERIPHERAL_ERR		0x00	Bit[5]: MIPI defined error indicator
LPT_SYNC_ERR		0x00	Bit[4]: MIPI defined error indicator
EMEC_ERR		0x00	Bit[3]: MIPI defined error indicator
EOT_SYNC_ERR		0x00	Bit[2]: MIPI defined error indicator
SOT_SYNC_ERR		0x00	Bit[1]: MIPI defined error indicator
SOT_ERR		0x00	Bit[0]: MIPI defined error indicator
PROT_VIO_ERR	0x81	0x00	Bit[7]: MIPI defined error indicator
RESERVED_ERR		0x00	Bit[6]: MIPI defined error indicator
TRAN_LEN_ERR		0x00	Bit[5]: MIPI defined error indicator
DSI_VC_ERR		0x00	Bit[4]: MIPI defined error indicator
DDTNR_ERR		0x00	Bit[3]: MIPI defined error indicator
CHKSUM_ERR		0x00	Bit[2]: MIPI defined error indicator
ECC_MULTI_ERR		0x00	Bit[1]: MIPI defined error indicator
ECC_SINGLE_ERR		0x00	Bit[0]: MIPI defined error indicator
CLR_VEC_ERR	0x88	0x00	Bit[7]: auto reset to 0
reserved		0x00	Bit[6:0]: not used
T_D_TERM_EN	0x90	0x05	Bit[7:0]: set the d_term_en time

## DSI 转双通道 LVDS 发送器

## GM8775C

寄存器名称	寄存器地址	默认值	功能
T_HS_SETTLE	0x91	0x0A	Bit[7:0]: set the hs_settle time
T_CLK_TERM_EN	0x99	0x05	Bit[7:0]: set clock lane term time
T_CLK_SETTLE	0x9A	0x96	Bit[7:0]: set clock lane settle time
RX_RT_CTRL	0xA0	0x01	Bit[7:6]: RX terminal resistor value control 00:90ohm, 01:100ohm, 10:110ohm, 11:120ohm
reserved		0x00	Bit[5:2]: not used
RX_CK_SWAP		0x00	Bit[2]: MIPI clock P/N swap
RX_SKEW_CK		0x00	Bit[1:0]: RX high speed output data/clock skew control
RX_SKEW_CH3	0xA1	0x00	Bit[7:6]: RX high speed output data/clock skew control
RX_SKEW_CH2		0x00	Bit[5:4]: RX high speed output data/clock skew control
RX_SKEW_CH1		0x00	Bit[3:2]: RX high speed output data/clock skew control
RX_SKEW_CH0		0x00	Bit[1:0]: RX high speed output data/clock skew control
PD_TERM_FORCE	0xB1	0x00	Bit[7:4]: 1:enable pd mipi data lane term
PD_TERM_VALUE		0x00	Bit[3:0]: PD MIPI data lane term when PD_TERM_FORCE=4'hf
PD_HSRX_FORCE	0xB2	0x00	Bit[7:4]: 1:enable pd mipi data lane HS RX
PD_HSRX_VALUE		0x00	Bit[3:0]: PD MIPI data lane HS RX value
PD_CK_TERM_FORCE	0xB5	0x00	Bit[7]: enable pd mipi clock lane term
PD_CK_TERM_VALUE		0x00	Bit[6]: PD MIPI clock lane term value
PD_CK_HSRX_FORCE		0x00	Bit[5]: enable PD MIPI clock lane HS RX
PD_CK_HSRX_VALUE		0x00	Bit[4]: enable PD MIPI clock lane HS RX
reserved		0x00	Bit[3:0]: not used
PWM_PRD[31:24]	0xD0	0x00	Bit[7:0]: set PWM period
PWM_PRD[23:16]	0xD1	0x00	Bit[7:0]: set PWM period
PWM_PRD[15:8]	0xD2	0x00	Bit[7:0]: set PWM period
PWM_PRD[7:0]	0xD3	0x00	Bit[7:0]: set PWM period
PWM_HIGH[31:24]	0xD4	0x00	Bit[7:0]: set PWM high period time
PWM_HIGH[23:16]	0xD5	0x00	Bit[7:0]: set PWM high period time
PWM_HIGH[15:8]	0xD6	0x00	Bit[7:0]: set PWM high period time
PWM_HIGH[7:0]	0xD7	0x00	Bit[7:0]: set PWM high period time
reserved	0xD8	0x00	Bit[7:2]: not used
PWM_REFSEL		0x00	Bit[1:0]: PWM CLK source selection 01:OSC_27M; 10:MIPI HS clock; 11:LVDS clock

## 5.2 DSI 接收功能

GM8775C DSI 协议支持支持 MIPI® D-PHY 1.00.00 和 MIPI® DSI 1.02.00, 可实现 4 通道 DSI 信号接收, 能灵活选择成 1/2/3/4 通道 DSI 信号接收功能。单通道数据率支持 1Gbps

---

## DSI 转双通道 LVDS 发送器

## GM8775C

---

速率，最大支持 4Gbps 速率。

视频输入格式支持 16bit RGB565、18bit RGB666 和 24bit RGB888 模式。MIPI 通道支持 LPDT 传输（Low-Power Data Transmission）和反向 LPDT 传输。

### 5.3 LVDS FPD LINK 发送功能

LVDS FPD LINK 发送输出支持单/双通道模式。选择双通道模式时，可配置输出为 18/24bit，JEIDA/VESA 模式；选择单通道时，每通道可同时输出，且可单独配置输出模式（18/24bit，JEIDA/VESA 模式）。

LVDS 像素时钟频率支持 25MHz~150MHz。最大支持视频格式为 FULL HD（1920 x 1200）。

LVDS 输出数据通道可灵活调整顺序以方便 PCB 布线。

### 5.4 时钟源选择功能

GM8775C LVDS 像素时钟源可由 DSI 内部时钟（HS 模式下）提供，也可配置成外部 RFECLK 提供，且支持自动校准功能。

### 5.5 PWM 时钟输出功能

GM8775C 具有 PWM 信号输出功能，可通过配置实现由 GPIO 输出 PWM 信号，用于控制屏幕背光。

### 5.6 寄存器配置

GM8775C 的寄存器配置支持 MIPI DSI Command mode 配置，外部 I2C 配置。

## DSI 转双通道 LVDS 发送器

## GM8775C

## 6 参数指标

## 6.1 最大额定值

- a) I/O 电源电压 ( $V_{DDIO}$ ) :  $-0.3V \sim 4V$ ;
- b) 电源电压 ( $V_{DD}$ ) :  $-0.3V \sim 2V$ ;
- c) 结温 ( $T_j$ ) :  $150^{\circ}C$ ;
- d) 引线耐焊接温度 ( $T_h$ ) (4s) :  $260^{\circ}C$ ;
- e) 功耗 ( $P_D$ ) :  $0.5W$ ;
- f) 热阻 ( $R_{\theta Jc}$ ) :  $20^{\circ}C/W$ ;
- g) 贮存环境温度 ( $T_{stg}$ ) :  $-65^{\circ}C \sim 150^{\circ}C$ ;
- h) 静电放电敏感度 ( $V_{ESD}$ ) :  $2000V$  (HBM)。

## 6.2 推荐工作条件

- a) I/O 电源电压 ( $V_{DDIO}$ ) :  $3.0V \sim 3.6V, 1.65V \sim 1.95V$ ;
- b) 电源电压 ( $V_{DD}$ ) :  $1.65V \sim 1.95V$ ;
- c) 输入高电平电压 ( $V_{IH}$ ) :  $2.0V \sim V_{DDIO}$ ;
- d) 输入低电平电压 ( $V_{IL}$ ) :  $GND \sim 0.8V$ ;
- e) 参数时钟频率 ( $f_{CLK}$ ) :  $25MHz \sim 154MHz$ ;
- f) 工作温度 ( $T_A$ ) :  $-40^{\circ}C \sim 85^{\circ}C$ 。

## 6.3 电特性

表 3 电特性

特性	符号	条 件: 除另有规定, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ , $V_{DDIO}=3.0V \sim 3.6V$ 或 $1.65V \sim 1.95V$ $V_{DD}=1.65V \sim 1.95V$	极限值		单 位
			最小	最大	
逻辑 1 输入电压	$V_{IH}$		900	—	mV
逻辑 0 输入电压	$V_{IL}$		—	450	mV
HS 差分输入电压	$ V_{ID} $		150	270	mV
HS 差分输入阈值电压 <sup>a</sup>	$ V_{IDT} $		—	50	mV
ULP 接收器逻辑 0 电压 <sup>a</sup>	$V_{IL-ULPS}$		—	300	mV
HS 模式共模电压	$V_{CMRX(DC)}$		70	300	mV
HS 模式共模电压波动 <sup>a</sup>	$\Delta V_{CMRX(HF)}$		—	100	mV
HS 模式单端输入高电平电压	$V_{IHHS}$		—	460	mV
HS 模式单端阈值电压 <sup>a</sup>	$V_{TERM-EN}$		—	450	mV
HS 模式单端输入低电平电压	$V_{ILHS}$		0	—	mV
差分输入电阻	$Z_{ID}$		80	124	$\Omega$
输出差分电压摆幅可调范围	$ V_{OD} $	$R_L=100\Omega$	150	400	mV
互补态输出差分电压变化	$\Delta V_{OD} $	$R_L=100\Omega$	—	50	mV
输出共模电压	$V_{OC(SS)}$	$R_L=100\Omega$	0.8	1	V
			1.15	1.35	V



# DSI 转双通道 LVDS 发送器

# GM8775C

输出共模电压峰峰值	$V_{OC(PP)}$	$R_L=100\Omega$	—	50	mV
输出短路电流	$I_{OS}$	短路到地	—	12	mA
输出差分电路电流	$I_{OSD}$	—	—	30	mA
TTL 输入高电平电压	$V_{IH\_TTL}$	—	$0.7*V_{DDIO}$	—	V
TTL 输入低电平电压	$V_{IL\_TTL}$	—	—	$0.3*V_{DDIO}$	V
TTL 输入漏电流	$I_{IN\_TTL}$	—	-20	20	uA
LVDS 端口下拉电阻 <sup>a</sup>	$R_{LVDS\_DIS}$	—	1		K $\Omega$
输出时钟高电平宽度 <sup>a</sup>	$t_w$	—	4/7 $t_c$		ns
DSI 输入脉冲抑制 <sup>a</sup>	$t_{GS}$	LVDS 的时钟范围为 25MHz 到 154MHz	—	300	ps
LVDS 输出时钟周期	$t_c$		6	41	ns
D0 相对延迟时间	$t_0$		-0.65	0.65	ns
D1 相对延迟时间	$t_1$		$t_c/7-0.65$	$t_c/7+0.65$	ns
D2 相对延迟时间	$t_2$		$2t_c/7-0.65$	$2t_c/7+0.65$	ns
D3 相对延迟时间	$t_3$		$3t_c/7-0.65$	$3t_c/7+0.65$	ns
D4 相对延迟时间	$t_4$		$4t_c/7-0.65$	$4t_c/7+0.65$	ns
D5 相对延迟时间	$t_5$		$5t_c/7-0.65$	$5t_c/7+0.65$	ns
D6 相对延迟时间	$t_6$		$6t_c/7-0.65$	$6t_c/7+0.65$	ns
输出上升时间	$t_r$		180	2000	ps
输出下降时间	$t_f$		180	2000	ps
使能时间	$t_{en}$		—	1	ms
关断时间	$t_{dis}$		—	0.1	ms
复位时间	$t_{reset}$		10	—	ms

注 a: 设计保证参数, 其值为理论典型值。

## 7 产品应用信息

### 7.1 参考原理图

GM8775C 主要应用于前端视频应用处理器和后端显示设备之间, 用于做 DSI 到 LVDS 转换驱动输出功能。

图 4 为其系统应用方式, 前端视频应用处理器输出 4lane DSI 数据, 并同步输出 1lane DSI 时钟信号。GM8775C 将该 DSI 信号转换成双通道 LVDS 差分信号输出, 驱动后续显示器完成转换、传输和显示功能。图 5 为 GM8775C 的参考原理图。

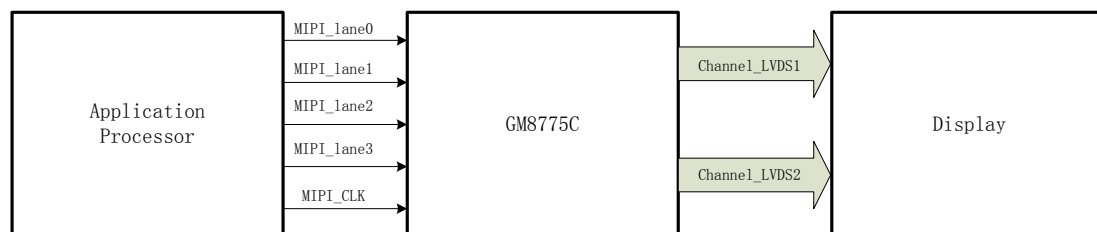


图 4 GM8775C 系统应用图

# DSI 转双通道 LVDS 发送器

# GM8775C

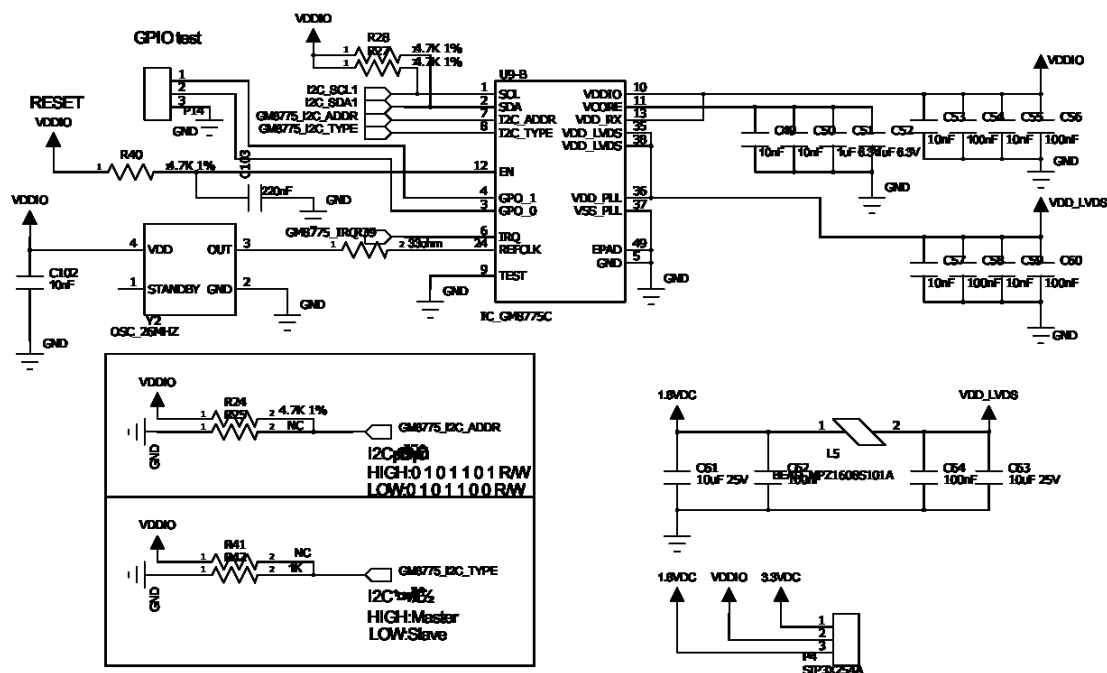


图 5 GM8775C 参考原理图

## 7.2 应用说明

芯片应用中应注意以下几点:

- 电源必须加滤波电容，推荐采用 0.1uF 和 0.01uF 的电容进行组合滤波，也可根据实际情况考虑；
- 差分输入/输出信号保证差分匹配走线，同时保证通道间走线长度尽量等长，避免引入额外的通道时滞；
- 应用过程中，芯片的电源电压、输入电压范围、测试温度以及测试条件等都需要严格遵守数据手册规定；
- 用于测试和焊接的工作台面，测试仪器以及高低温箱等都必须具有防静电设施；
- 测试和使用过程中，操作人员也必须带防静电腕带，在防静电台面上进行操作，禁止直接手持芯片；
- 测试和使用过程中出现异常现象时，应该注意保护芯片。

# DSI 转双通道 LVDS 发送器

# GM8775C

## 附 1 芯片配置流程及推荐配置

### 1) 芯片初始化时序

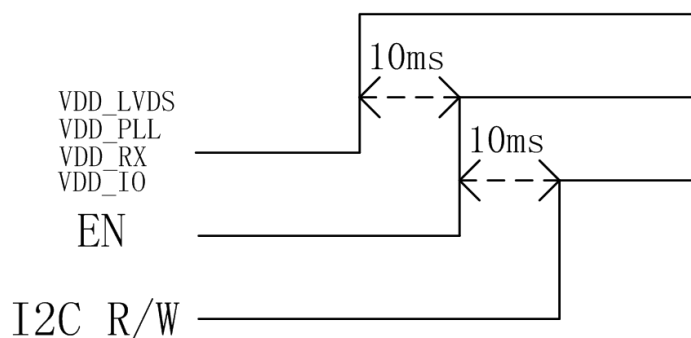


图 6 GM8775C 初始化时序图

### 2) 推荐配置字

video format: 1920x1080, pixel\_clk=148MHz, vesa, 8bit

total\_line=1125; vfp=4, vsw=5, vbp=36;

total\_pixel=2200,hfp=88, hsw=44, hbp=148

MIPI\_CLK:468MHz

PLL\_setting:  $468 / 4 / 2 * 19 / 2 / 7 \approx 80\text{MHz}$ , use MIPI\_CLK as ref\_clk

(PLL\_setting:  $\text{MIPI\_CLK} / 4 / \text{PLL\_REFDIV} * \text{PLL\_INT} / \text{PLL\_POST\_DV} / 7 \approx \text{PCLK}$ )

推荐本产品按以下顺序进行初始化配置:

序号	地址	配置字	说明
1	0x00	AA	PASSWORD
2	0x01	80	HACTIVE[7:0],1980=0x780
3	0x02	38	VACTIVE[7:0],1080=0x438
4	0x03	47	{VACTIVE[11:8],HACTIVE[11:8]}
5	0x04	58	HFP_WIDTH[7:0],100=0x64
6	0x05	2C	HSW_WIDTH[7:0],100=0x64
7	0x06	94	HBP_WIDTH[7:0],120=0x78
8	0x07	00	{VS_POL,HS_POL,HFP_WIDTH[9:8],HSW_WIDTH[9:8],HBP_WIDTH[9:8]}
9	0x08	04	VFP_WIDTH[7:0],10=0x0A
10	0x09	05	VSW_WIDTH[7:0],10=0x0A
11	0x0A	24	VBP_WIDTH[7:0],15=0x0F
12	0x0B	91	{PLL_REFSEL[1:0],DSM_MN_EN, PLL_REFDIV[4:0]}
13	0x0C	13	PLL_INT[7:0]
14	0x0D	01	{RD_FIFO_DLY[11:8],PLL_INT[9:8],PLL_POST_DV[1:0]}
15	0x0E	80	RD_FIFO_DLY[7:0]
16	0x0F	20	MIN_HSW[7:0]
17	0x10	20	MIN_HFP[7:0]

## DSI 转双通道 LVDS 发送器

## GM8775C

18	0x11	3B	{MIPI_DATA_PN[3:0],MIPI_CLK_PN,1'b0,MIPI_LANE_NUM[1:0]}
19	0x12	1B	{MIPI_LANE0_SEL[1:0],MIPI_LANE1_SEL[1:0],MIPI_LANE2_SEL[1:0],MIPI_LANE3_SEL[1:0]}
20	0x13	63	{1'b0, DUAL_LINK_EN, LINK1_DATA_SEL, LINK0_DATA_SEL, LINK1_JEIDA_EN, LINK0_JEIDA_EN, LINK1_BIT_SEL, LINK0_BIT_SEL}
21	0x14	32	{1'b0, LINK0_LANE0_SEL[2:0], 1'b0, LINK0_LANE1_SEL[2:0]}
22	0x15	10	{1'b0, LINK0_LANE2_SEL[2:0], 1'b0, LINK0_LANE3_SEL[2:0]}
23	0x16	40	{1'b0, LINK0_LANECK_SEL[2:0, 4'b0000]}
24	0x17	00	{3'b000, LINK0_PN_SWAP[4:0]}
25	0x18	32	{1'b0, LINK1_LANE0_SEL[2:0], 1'b0, LINK1_LANE1_SEL[2:0]}
26	0x19	10	{1'b0, LINK1_LANE2_SEL[2:0], 1'b0, LINK1_LANE3_SEL[2:0]}
27	0x1A	40	{1'b0, LINK1_LANECK_SEL[2:0, 4'b0000]}
28	0x1B	00	{3'b000, LINK1_PN_SWAP[4:0]}
29	0x1E	46	{I2C_TYPE, MIPI_XOR, LVDS_XOR, DSM_XOR, RST_FIFO_ADDR, VSW_MODE, HSW_MODE, 1'b0}
30	0x51	20	{PLL_VCO_ISEL}
31	0x1F	10	{3'b000, CONFIG_FINISH, 3'b000, SOFT_RESET}

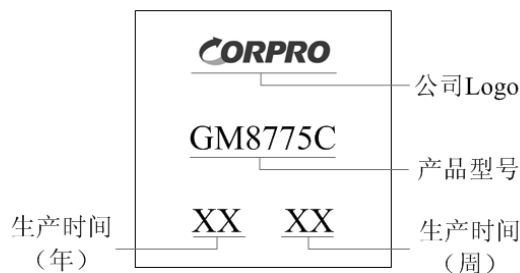
## 8. 产品包装信息与丝印信息

## 8.1 产品包装信息

- 1) 内包装采用定制编带包装，最小包装1000片；
- 2) 外包装采用定制产品盒，并放置防震泡沫。

## 8.2 产品丝印信息

芯片打标采用激光打标技术，内容包括公司 logo，产品型号：GM8775C；以及产品批号。



## 8.3 注意事项

器件的处理、包装、运输和烘焙符合 IPC/JEDEC J-STD-033，湿敏等级为 4 级。