

飞思卡尔 i.MX6 平台 DRAM 接口高阶应用指南 - DDR3 篇

王林, 黎铭安, 王大东
(飞思卡尔半导体)

摘要: 本文意在介绍如何使用 i.MX6 系列微处理器设计和初始化 DDR3。本文将涉及原理图及 PCB 布线设计规则、DDR3 脚本(初始化代码)生成工具、DDR3 板级校准和压力测试工具等内容。

1 DRAM设计注意事项

飞思卡尔硬件应用团队创建了一个名为“HW Design Checking List for i.Mx6”的文档,分享 i.Mx6 硬件设计经验。

1.1 原理图和布线设计规则

设计 i.MX6 平台时必须遵循表 1 要求。请参考以上链接的“HW Design Checking List for i.Mx6”文档了解详细信息。设计人员应在设计前或设计时逐条检查这些项目。设计人员必须逐条确认。如有任何疑问或不确定之处,请寻求飞思卡尔技术支持人员的帮助。

如表 2 所示,“HW Design Checking List for i.Mx6”文档中包含一个名为“MX6 DRAM Bus Length Check”的 Excel 表格,设计者可以用来自行检查布线。在粉色框内输入当前设计的线长参数后,如果布线违反规则,同一列内

最底下的格子会变成红色。

2 DDR3 初始化脚本生成工具

在本章中,我们将展示如何为具体设计生成 DDR3 初始化脚本。由于 DDR3 初始化脚本有很多寄存器,配置时需要熟悉 JESD79-3 和电路板设计信息,因此为专用设计生成脚本是非常耗时的。

飞思卡尔应用团队总结了名为“i.Mx6DQSDL

表 1

原理图检查列表	
1	i.Mx6 和 DDR 芯片的 ZQPAD 管脚需要分别外加一个 1%精度的 240 欧姆电阻来接地。
2	提供一路等于 50% NVCC_DRAM 电压值的电源给 DRAM_VREF 管脚(更多细节请参考原文档)。
3	DRAM_RESET 管脚需要外接一个 5%精度的 10 k 欧姆下拉电阻来接地。(更多细节请参考原文档)。
4	DRAM_SDCKE0 和 DRAM_SDCKE1 应当连接单个精度为 5%的 10 k 欧姆来接地(更多细节请参考原文档)。
5	差分时钟端接设计规则(更多细节请参考原文档)。
6	如果 DDR3 芯片的数量小于 4 个(PCB 顶面 2 个,底面 2 个),建议使用 T 拓扑结构。 如果同一 PCB 单面需要大于 2 个芯片,建议使用飞越式(Fly-by)拓扑结构。
7	每个字节的数据总线/DQM 和 DQS 在上下字节连接中必须是匹配的。例如, D0-D7, DQM0, DQS0/DQS0_B...D56-D63, DQM7, DQS7/DQS7_B 应当位于同一字节连接中。
布线检查列表	
1	DQS 和 CLK 信号线需要差分 100 欧姆阻抗控制,数据、地址和控制信号线需要阻抗控制为单端 50 欧姆。
2	差分信号对的线长度差小于 5 mils。
3	所有信号线应有连续的地作为参考平面(更多细节请参考原文档)。
4	CLK 走线与其他信号线之间至少保持 3 倍线宽间距。
5	DDR 布线规则。更多细节请参考原文档。

Freescale i.MX6 "T-topology" DRAM PCB Layout Trace Length Calculation

Note: Please fill the L1 Length.

If the table filled with RED color, please check the related error data.

DRAM: (Left Top)						DRAM: (Right Top)					
ADDR Group	Length L1 (mils)	L0+L1	ADDR-CKmin (-200mil~0mil)	ADDR-CKmax (-200mil~0mil)	Route Layer	ADDR Group	Length L1 (mils)	L0+L1	ADDR-CKmin (-200mil~0mil)	ADDR-CKmax (-200mil~0mil)	Route Layer
A0	1417.45	1417.5	1417.45	1417.45		A0	1421.25	1421.3	1421.3	1421.3	
A1	1426.82	1426.8	1426.82	1426.82		A1	1428.49	1428.5	1428.5	1428.5	
A2	1432.4	1432.4	1432.40	1432.40		A2	1424.99	1425.0	1425.0	1425.0	
A3	1423.64	1423.6	1423.64	1423.64		A3	1420.16	1420.2	1420.2	1420.2	
A4	1428.87	1428.9	1428.87	1428.87		A4	1430.29	1430.3	1430.3	1430.3	
A5	1422.21	1422.2	1422.21	1422.21		A5	1412.88	1412.9	1412.9	1412.9	
A6	1421.87	1421.9	1421.87	1421.87		A6	1431.09	1431.1	1431.1	1431.1	
A7	1422.72	1422.7	1422.72	1422.72		A7	1423.5	1423.5	1423.5	1423.5	
A8	1420.05	1420.1	1420.05	1420.05		A8	1421.6	1421.6	1421.6	1421.6	
A9	1429.57	1429.6	1429.57	1429.57		A9	1424.64	1424.6	1424.6	1424.6	
A10	1424.41	1424.4	1424.41	1424.41		A10	1425.68	1425.7	1425.7	1425.7	
A11	1422.46	1422.5	1422.46	1422.46		A11	1429.8	1429.8	1429.8	1429.8	
A12	1420.02	1420.0	1420.02	1420.02		A12	1426.59	1426.6	1426.6	1426.6	
A13	1429.45	1429.5	1429.45	1429.45		A13	1422.45	1422.5	1422.5	1422.5	
A14	1413.94	1413.9	1413.94	1413.94		A14	1419.91	1419.9	1419.9	1419.9	
A15						A15					
BA0	1408.46	1408.5	1408.46	1408.46		BA0	1415.52	1415.5	1415.5	1415.5	
BA1	1427.47	1427.5	1427.47	1427.47		BA1	1422.97	1423.0	1423.0	1423.0	
BA2	1427.47	1427.5	1427.47	1427.47		BA2	1422.97	1423.0	1423.0	1423.0	
Max diff (<=25mil)	23.9					Max diff (<=25mil)	18.2				
Max diff (<=25mil) ADDR group	#REF!										

DDR3 Script Aid” 的文档,使这一工作变得轻松。访问以下链接可获得最新的 Excel 辅助工具:https://community.freescale.com/docs/DOC-94917。

2.1 如何使用脚本生成工具?

目标设计原理图及其中所用的 DDR3 芯片数据手册都应准备妥当,以供参考。如表 3 所示,在所有“橙色”和“蓝色”方格中正确输入数据。

2.1.1 器件信息

在芯片数据手册中可获得以下所有输入:

制造商:在此行中键入芯片厂商名称。

在本节,我们以 Micron 为例。

存储器部件编号:在此行键入芯片完整的部件 / 订单编号。

在本节,我们以 MT41K128M16JT-125 为例。访问以下链接可获得芯片数据手册:

表 3

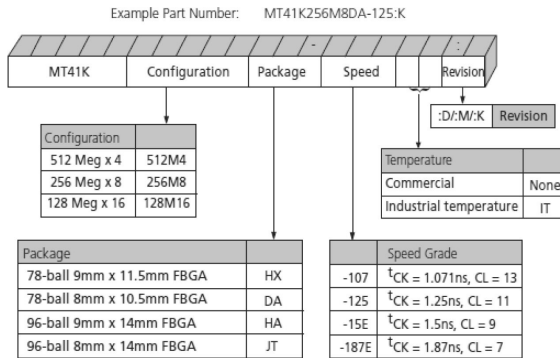
Device Information	
Manufacturer:	Micron
Memory part number:	MT41K128M16JT-125
Memory type:	DDR3-1600
DRAM density (Gb)	2
DRAM Bus Width	16
Number of Banks	8
Number of ROW Addresses	14
Number of COLUMN Addresses	10
Page Size (K)	2
Self-Refresh Temperature (SRT)	Normal
tRCD=tRP=CL (ns)	13.75
tRC Min (ns)	48.75
tRAS Min (ns)	35
System Information	
i.Mx Part	i.Mx6Q
Bus Width	64
Density per chip select (Gb)	8
Number of Chip Selects used	1
Total DRAM Density (Gb)	8
DRAM Clock Freq (MHz)	528
DRAM Clock Cycle Time (ns)	1.894
Address Mirror (for CS1)	Disable
SI Configuration	
DRAM DSE Setting - DQ/DQM (ohm)	48
DRAM DSE Setting - ADDR/CMD/CTL (ohm)	48
DRAM DSE Setting - CK (ohm)	48
DRAM DSE Setting - DQS (ohm)	48
System ODT Setting (ohm)	60

http://www.micron.com/~/media/Documents/Products/Data%20Sheet/DRAM/DDR3/2Gb_1_35V_DDR3L.pdf

存储器类型：在此行的下拉列表中选择芯片类型：

Memory type:	DDR3-1600
DRAM density (Gb)	DDR3-800
DRAM Bus Width	DDR3-1066
Number of Banks	DDR3-1333
	DDR3-1600

MT41K128M16JT-125 数据手册显示以下信息：



DRAM 容量 (Gb)：在此行的下拉列表中选择每个芯片的容量：

DRAM density (Gb)	2
DRAM Bus Width	1
Number of Banks	2
Number of ROW Addresses	4
	8

DRAM 总线宽度：在此行的下拉列表中选择每个芯片的总线宽度：

DRAM Bus Width	16
Number of Banks	4
Number of ROW Addresses	8
	16

Bank 数目：在此行键入芯片 Bank 数目。

MT41K128M16JT-125 数据手册显示以下信息：

DDR3L SDRAM

- MT41K512M4 – 64 Meg x 4 x 8 banks
- MT41K256M8 – 32 Meg x 8 x 8 banks
- MT41K128M16 – 16 Meg x 16 x 8 banks

行地址数目：在此行的下拉列表中选择芯片的行地址数目：

Number of ROW Addresses	14
Number of COLUMN Addresses	11
Page Size (K)	12
Self-Refresh Temperature (SRT)	13
tRCD=tRP=CL (ns)	14
	15
	16

MT41K128M16JT-125 数据手册显示以下信息：

Parameter	128 Meg x 16
Configuration	16 Meg x 16 x 8 banks
Refresh count	8K
Row address	16K A[13:0]
Bank address	8 BA[2:0]
Column address	1K A[9:0]

列地址数目：在此行的下拉列表中选择芯片的列地址数目：

Number of COLUMN Addresses	10
Page Size (K)	9
Self-Refresh Temperature (SRT)	10
tRCD=tRP=CL (ns)	11
	12

页面大小 (K)：在此行的下拉列表中选择芯片的页面大小：

Page Size (K)	2
Self-Refresh Temperature (SRT)	1
	2

自刷新温度范围 (SRT)：在此行的下拉列表中选择芯片的 SRT 类型：

Self-Refresh Temperature (SRT)	Normal
tRCD=tRP=CL (ns)	Normal
	Extended

tRCD=tRP=CL (ns)：在此行键入芯片的 tRCD/tRP/CL 参数。

MT41K128M16JT-125 数据手册显示以下信息：

Speed Grade	Data Rate (MT/s)	Target tRCD-tRP-CL	tRCD (ns)	tRP (ns)	CL (ns)
-125 ^{1,2}	1600	11-11-11	13.75	13.75	13.75

tRC Min (ns)：在此行键入芯片的 tRC 参数。

tRAS Min (ns)：在此行键入芯片的 tRAS 参数。

MT41K128M16JT-125 数据手册显示以下信息：

DDR3L-1600 Speed Bin		-125 ¹		Unit
CL-tRCD-tRP		11-11-11		
Parameter	Symbol	Min	Max	
ACTIVATE-to-ACTIVATE or REFRESH command period	tRC	48.75	-	ns
ACTIVATE-to-PRECHARGE command period	tRAS	35	9 x tREFI	ns

2.1.2 系统信息

可从原理图获得所有以下输入信息。在本节,我们以“SABRE 电路板 Smart Device”为例。访问以下链接可获得设计文件：https://www.freescale.com/webapp/sps/download/license.jsp?colCode=iMX6_SABRE_SDB_DESIGNFILES&appType=file2&location=null&DOWNLOAD_ID=null

i.Mx 部件：在此行的下拉列表中选择 i.Mx 类型：

i.Mx Part	i.Mx6Q
Bus Width	i.Mx6Q
Density per chip select (Gb)	i.Mx6D
Number of Chip Selects used	i.Mx6DL
	i.Mx6S

总线宽度：在此行的下拉列表中选择所用的 i.Mx DRAM 总线宽度：

Bus Width	64
Density per chip select (Gb)	16
Number of Chip Selects used	32
	64

每个片选的容量 (Gb)：在此行的下拉列表中选择每个片选的总容量：

Density per chip select (Gb)	8
Number of Chip Selects used	2
Total DRAM Density (Gb)	4
DRAM Clock Freq (MHz)	8
	16
	32

所用片选的数目：在此行的下拉列表中选择所用的片选的数目：

Number of Chip Selects used	1
Total DRAM Density (Gb)	1
	2

DRAM 时钟频率 (MHz)：在此行的下拉列表中选择目标 DRAM 的工作频率：

DRAM Clock Freq (MHz)	528
DRAM Clock Cycle Time (ns)	400
	528

地址镜像 (针对 CS1)：在此行的下拉列表中选择地址镜像功能：

Address Mirror (for CS1)	Disable
SI Configuration	Enable
	Disable

2.1.3 SI (信号完整性) 注意事项

以下输入项是基于信号完整性的设计经验或仿真结果。一般来讲,驱动强度 (DSE) 和 ODT 应当匹配传输线的特性阻抗。PCB 厂商应当交付走线阻抗的实际测试报告。

例如,对于 45 欧姆单端走线,DSE 可选择 40 欧姆或 48 欧姆,而对于 100 欧姆差分走线成对管脚其中一个的 DSE,可选择 48 欧姆等。

关于 ODT 选择,它不像 DSE 那样敏感,可在较大范围内很好地工作。对于上述单端和差分情况的两个例子,60 欧姆就可以了。

DRAM DSE 设置 -DQ/DQM (欧姆)：在此行的下拉列表中选择 DQ/DQM 管脚的驱动强度值：

DRAM DSE Setting - DQ/DQM (ohm)	48
DRAM DSE Setting - ADDR/CMD/CTL (ohm)	34
	40
DRAM DSE Setting - CK (ohm)	48
	60
DRAM DSE Setting - DQS (ohm)	80
	120
	240

DRAM DSE 设置 -ADDR/CMD/CTL (欧姆)：在此行的下拉列表中选择 ADDR/CMD/CTL 管脚的驱动强度值。

DRAM DSE 设置 -CK (欧姆)：在此行的下拉列表中选择 CK 管脚的驱动强度值。

DRAM DSE 设置 -DQS (欧姆)：在此行的下拉列表中选择 DQS 管脚的驱动强度值。

系统 ODT 设置 (欧姆)：在此行的下拉列表表中为 DDR3 和 i.Mx 选择 ODT 值：

System ODT Setting (ohm)	60
	17
	20
	24
	30
	40
	60
	120
	Disable

2.2 延迟寄存器 - 应根据真实电路板而定

除了第 2.1 小节的参数,设计人员还需要填写脚本的 4 个延迟寄存器 (WriteLeveling 延迟、ReadDQSGating 延迟、Read 延迟和 Write 延迟)。

2.2.1 延迟寄存器的作用是什么?

MMDC PHY Write Leveling 延迟控制寄存器：Write Leveling 可以为每个字节生成时钟和写入 DQS 之间的延迟。

MMDC PHY Read DQS Gating 控制寄存器：Read DQS Gating 使用读取 DQS 前导码的中间值来调节读取 DQS 选通。

MMDC PHY Read 延迟寄存器配置寄存器：此寄存器控制 Read 延迟寄存器功能,它决定与关联 DQ 读取接入有关的 DQS 延迟。延迟寄存器补偿了过程变化,并产生一个恒定延迟,与过程、温度和电压无关。

MMDC PHY Write 延迟寄存器配置寄存器：此寄存器控制 Write 延迟寄存器功能,它决定了写入时与关联 DQS 有关的 DQ/DM 延迟。延迟寄存器补偿了过程变化,并产生一个恒定延迟,与过程、温

度和电压无关。

有关上述寄存器的详细配置描述可参见 i.Mx6 参考手册。“i.Mx6DQSDL DDR3 Script Aid”的“RealView.inc”页面中有标记为红色的寄存器。

```
// 对于目标电路板, 需要运行 write leveling 校准来微调这些设置。
setmem /32      0x021b080c = 0x00000000
setmem /32      0x021b0810 = 0x00000000
setmem /32      0x021b480c = 0x00000000
setmem /32      0x021b4810 = 0x00000000
////读取 DQS 选通校准
setmem /32      0x021b083c = 0x00000000 // MPDGCTRL0 PHY0
setmem /32      0x021b0840 = 0x00000000 // MPDGCTRL1 PHY0
setmem /32      0x021b483c = 0x00000000 // MPDGCTRL0 PHY1
setmem /32      0x021b4840 = 0x00000000 // MPDGCTRL1 PHY1
//读取校准
setmem /32      0x021b0848 = 0x40404040 // MPRDDLCTL PHY0
setmem /32      0x021b4848 = 0x40404040 // MPRDDLCTL PHY1
//写入校准
setmem /32      0x021b0850 = 0x40404040 // MPWRDLCTL PHYC
setmem /32      0x021b4850 = 0x40404040 // MPWRDLCTL PHY1
```

2.2.2 如何实现它们?

飞思卡尔应用团队构建了一个“i.MX6 DDR Stress Test Tool”,可在目标电路板上运行并获得所有延迟寄存器参数。请访问以下链接下载该工具:<https://community.freescale.com/docs/DOC-96412>。下一章将介绍如何使用此工具。

3 DDR Stress Test Tool

DDR stress test tool 有两个目的。首先,它可以执行 DDR3 校准,使其匹配通过 PCB 的 MMDc PHY 延迟设置,实现最佳 DRAM 性能。此过程完全自动化,这样客户可在更短的时间内让 DDR3 运行起来。另外,该工具可以运行存储器压力测试,验证 DDR3 功能及可靠性。压力测试有助于验证硬件连接、MMDc 寄存器参数和 DDR3 模式寄存器设置。该测试最重要的目的是,支持客户验证 DDR3 在他们的电路板上可稳定运行。

3.1 校准

i.MX6 处理器的 DDR3 需要 4 个

校准流程。这些校准流程可微调 MMDc PHY 上的延迟寄存器,以补偿由于管脚输出延迟变化和走线长度变化所造成的信号之间的偏移,最终获得最佳 DRAM 性能。在进入 DDR3 配置后,校准就会启动 DDR Stress Test Tool。首先,测试将在校准时提示 DRAM 频率。i.MX6Q 和 i.MX6D 的默认值为 528 MHz,而 i.MX6DL、i.MX6S 和 i.MX6SL 的默认值为 400 MHz。这些是 BSP 所用的 DRAM 频率。按‘y’继续校准流程。按‘n’会出现一个选项,供您选择特定频率,应仅限调试使用。如图 1 所示。

在完成 DRAM 频率调节后,此工具将开始执行校准程序。

3.1.1 Write Leveling 校准

这是第一个校准,可微调 i.MX6 处理器的 DRAM 时钟和写入 DQS 输出之间的延迟。按‘y’继续校准。如果电路板已校准且校准结果已整合到脚本中,请按‘n’跳过此校准。按‘y’开始校准后,您需要输入 DDR3 的模式寄存器 MR1 值。MR1 值位于初始化脚本中的以下行。此值是‘=’符号之后的两个最高有效字节,此例中为 0x0004。

```
setmem /320x021b001c = 0x00048031// MMDc0
_MDSCR, MR1 write, CS0
```

这个值必须与 DDR 初始化脚本中所用的值相同。否则,以下测试部分的结果无效,因为退出 write leveling 模式时,该值用于恢复 DDR3 中的 MR1 值。如图 2 所示。

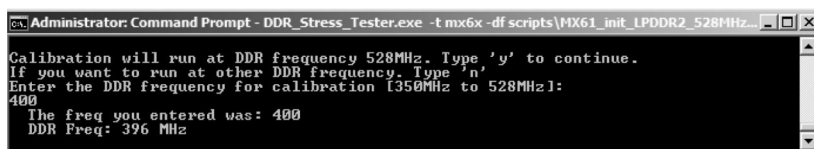


图 1

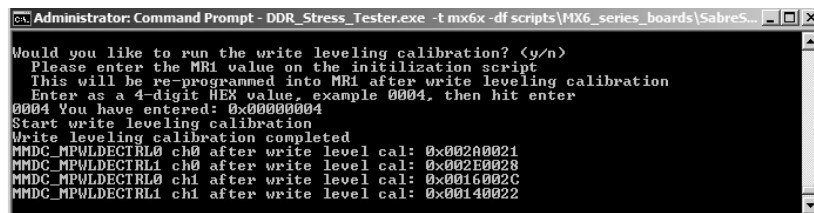


图 2

3.1.2 Read DQS Gating 校准

第二个校准流程是 DQS gating 校准。它用来微调 read DQS gating, 以便它可以可靠地捕获 read DQS 信号。此校准可以 4/256 时钟周期的步长调节 DQS gating 延迟, 以定位有效的 DQS 延迟窗口。按 ‘y’ 开始校准。它还会继续 read 和 write 延迟校准。如果电路板已校准且校准结果已整合到脚本中, 请按 ‘n’ 跳过此校准。如图 3 所示。

此校准结束后, 将显示每个字节的有效 DQS gating 延迟窗口的开始和结束。有效窗口越宽, 即延迟窗口的开始和结束间隔越大, 则表示 DQS gating 延迟的时间范围就越大。此外, 还会显示窗口的开始和结束平均值, 以及窗口的结束减去半个时钟的值, 作为参考值。建议的 DQS 延迟也将在最后显示, 它通过最大值公式 [平均值 (开始, 结束), 结束 - 0.5tCK] 来计算。

3.1.3 Read 和 Write 延迟校准

最后的校准流程是 Read 和 Write 延迟校准, 分别用于微调 DQS 之间的延迟以及有关 reading 和 writing DDR3 的数据。这有助于获得 DQS 和 DQ 信号之间的最佳时钟。此校准在 DQS 延迟校准完成后开始。如图 4 所示。

Read 和 write 延迟校准结果的格式相同。此结果显示了 4/256 时钟周期步长的 DQS 和 DQ 之间不断增加的延迟。每个字节的结果显示为: 右侧第一个位为第一个字节, 右侧第二位为第二个字节, 如此类推。对于每个字节, “0” 表示通过测试, 意思是此字节可以通过此延迟设置可靠地执行 read/write。“1” 表示此字节没有通过 read/write 测试。有效延迟窗口可通过垂直计算 0 的数目来显示。窗口越宽, 此字节的余量就越多。

3.1.4 校准结果

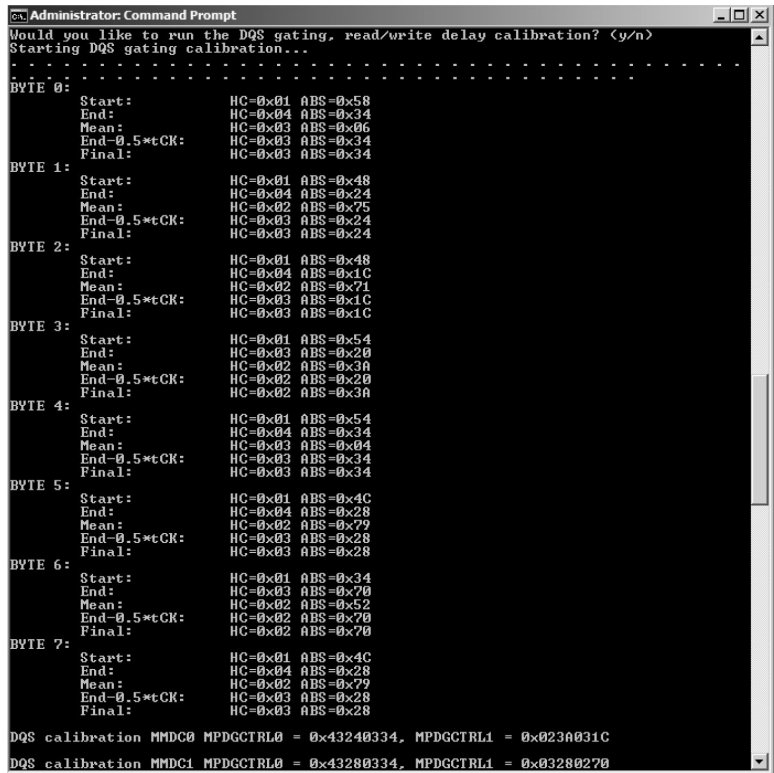


图 3

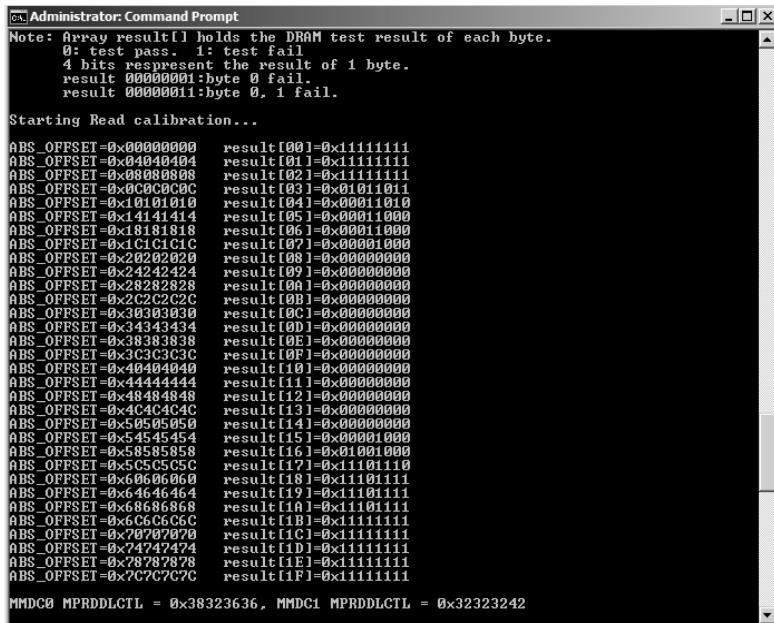


图 4

完成所有的校准流程后, 校准结果就会汇总如图 5 所示。

此工具将通过用这些校准结果更新了延迟寄存器继续运行 DRAM 压力测试。然而, 应当记录这

```
Administrator: Command Prompt
MMDC registers updated from calibration
Read DQS Gating calibration
MPDGCTRL0 PHY0 (0x021b083c) = 0x4148013C
MPDGCTRL1 PHY0 (0x021b0840) = 0x0130011C
Read calibration
MPRDDCTL PHY0 (0x021b0848) = 0x42424446
Write calibration
MPWRDLCTL PHY0 (0x021b0850) = 0x3C3C3A32
```

图 5

些结果,并据此更新 DRAM 初始化脚本,这一点非常重要。当把 MMDC 参数传送到固件时,必须根据更新后的脚本对延迟寄存器进行编程。否则,DDR3 将无法在固件上稳定地运行。

3.2 压力测试 (Stress Test)

完成所有校准流程后,此工具将开始 DRAM 压力测试。压力测试将采用不同模式执行 DDR3 的 read/write 测试,以确保 DDR3 连接是正确的,MMDC 参数已正确配置,以及 PCB 布线(以及信号完整性)支持 DDR3 在目标工作频率上可靠地运行。

压力测试可以在一个频率上重复运行,或采用增量频率来运行。测试开始后,它将提示开始和结束频率。对于增量频率测试,输入相应的开始和结束频率。此频率必须在 135 MHz 至 672 MHz 的范围内。由于 tCK(AVG).MIN = 3 ns 限制了 DLL 何时启用且“Aid”的脚本仅支持 DLL 启用,因此 DDR3 的工作频点设置应高于 333 MHz。如果需要测试一个频率,仅为开始和结束频率输入相同的数字即可。如图 6 所示。

如发生任何错误,此测试将会停止,也会显示故障模式。

建议在 DDR3 目标工作频率上运行压力测试(i.MX6Q 和 i.MX6D 为 528 MHz;i.MX6DL,i.MX6S 和 i.MX6SL 为 400 MHz),使测试运行较长时间,以验证目标电路板的 DDR3 性能。在高于目标工作频率上运行压力测试没有意义。DDR3 波形不是 DDR3 工作的

400-500 MHz 范围内的简单的方波。信号波形可以随频率的增加而发生很大变化。因此,在超出了目标工作频率的频率下通过压力测试并不一定意味着时间余量更大。顺便说一下,我们强烈建议客户在边界环境中应用真正的高负荷软件应用案例,以验证软件和硬件的稳定性。

3.3 使用 DDR Stress Test Tool 排除 DDR3 的故障

当首次推出全新的 PCB 时,它必须进行校准,以获得此电路板的最佳延迟寄存器设置。一个重要的步骤是,仅在飞思卡尔评估板上微调延迟寄存器的默认初始化脚本上进行设置。如果没有经过校准,那么即使已经正确配置了与 AC 时序相关的 MMDC 寄存器,也可能会影响 DDR3 性能。

3.3.1 确定校准问题

在校准过程中,会对每次校准(Write Leveling 校准除外)显示有效的延迟窗口。延迟窗口使我们大概了解 read DQS 有多少时间余量,以及 DDR3 read 和 write 操作的数据建立和保持时间。总之,窗口越宽,该电路板的时间余量就越大。飞思卡尔评估板的延迟窗口还可以作为参考。飞思卡尔电路板

```
Administrator: Command Prompt
The DDR stress test can run with an incrementing frequency or at a static freq
to run at a static freq, simply set the start freq and end freq to the same value
Would you like to run the DDR Stress Test (y/n)?
Enter desired START freq (135 to 672 MHz), then hit enter.
Note: DDR3 minimum is ~333MHz, do not recommend to go too much below this.
400
The freq you entered was: 400
Enter desired END freq (135 to 672 MHz), then hit enter.
Make sure this is equal to or greater than start freq
450
The freq you entered was: 450
Beginning stress test
loop: 1
DDR Freq: 396 MHz
t0: memcpy11 SSN test
t1: memcpy0 SSN test
t2: byte-wise SSN test
t3: memcpy11 random pattern test
t4: IRAM_to_DDRv2 test
t5: IRAM_to_DDRv1 test
t6: read noise walking ones and zeros test
DDR Freq: 413 MHz
t0: memcpy11 SSN test
t1: memcpy0 SSN test
t2: byte-wise SSN test
t3: memcpy11 random pattern test
t4: IRAM_to_DDRv2 test
t5: IRAM_to_DDRv1 test
t6: read noise walking ones and zeros test
DDR Freq: 432 MHz
t0: memcpy11 SSN test
```

图 6

的 DQS gating 延迟窗口约为 1.1 至 1.2 tCK。对于 read 和 write 延迟,此窗口大约为 0.3 至 0.4 tCK。

校准过程中也可能会发生错误,它可能无法为某些特殊字节找到有效的延迟窗口。在这种情况下,请勿使用校准结果并继续进行其余测试,即使此工具可能在校准完成后显示结果。

如果此工具无法为某字节找到有效窗口,那么微调此字节的 DQS 和 DQ 驱动强度不失为一个好主意。应正确配置 AC 时钟参数,因为在其他字节上可能会找到有效窗口。下面的示例显示了字节 0 始终无法通过 read 校准,这意味着无论采用哪个延迟值,该字节都无法读取。理想情况下,驱动强度应符合走线阻抗。如果此信息不可用,那么您可以增加或降低驱动强度,看看是否有任何改善。如果更改驱动强度后仍然没有任何改善,就应检查 PCB 布线。“HW Design Checking List for i.Mx6”中描述了设计规则。如图 7 所示。

```
ABS_OFFSET=0x00000000 result[00]=0x01010: 01
ABS_OFFSET=0x04040404 result[01]=0x01010: 01
ABS_OFFSET=0x08080808 result[02]=0x01010: 01
ABS_OFFSET=0x0C0C0C0C result[03]=0x01010: 01
ABS_OFFSET=0x10101010 result[04]=0x01010: 01
ABS_OFFSET=0x14141414 result[05]=0x01010: 01
ABS_OFFSET=0x18181818 result[06]=0x01000: 01
ABS_OFFSET=0x1C1C1C1C result[07]=0x00000: 01
ABS_OFFSET=0x20202020 result[08]=0x00000: 01
ABS_OFFSET=0x24242424 result[09]=0x00000: 01
ABS_OFFSET=0x28282828 result[0A]=0x00000: 01
ABS_OFFSET=0x2C2C2C2C result[0B]=0x00000: 01
ABS_OFFSET=0x30303030 result[0C]=0x00000: 01
ABS_OFFSET=0x34343434 result[0D]=0x00000: 01
ABS_OFFSET=0x38383838 result[0E]=0x00000: 01
ABS_OFFSET=0x3C3C3C3C result[0F]=0x00000: 01
ABS_OFFSET=0x40404040 result[10]=0x00000: 01
ABS_OFFSET=0x44444444 result[11]=0x00000: 01
ABS_OFFSET=0x48484848 result[12]=0x00000: 01
ABS_OFFSET=0x4C4C4C4C result[13]=0x00000: 01
ABS_OFFSET=0x50505050 result[14]=0x00000: 01
ABS_OFFSET=0x54545454 result[15]=0x00000: 01
ABS_OFFSET=0x58585858 result[16]=0x00000: 01
ABS_OFFSET=0x5C5C5C5C result[17]=0x01010: 01
ABS_OFFSET=0x60606060 result[18]=0x01010: 01
ABS_OFFSET=0x64646464 result[19]=0x01010: 01
ABS_OFFSET=0x68686868 result[1A]=0x01010: 01
ABS_OFFSET=0x6C6C6C6C result[1B]=0x01010: 01
ABS_OFFSET=0x70707070 result[1C]=0x01010: 01
ABS_OFFSET=0x74747474 result[1D]=0x01010: 01
ABS_OFFSET=0x78787878 result[1E]=0x01010: 01
ABS_OFFSET=0x7C7C7C7C result[1F]=0x01010: 01
```

图 7

3.3.2 确定压力测试的问题

发现错误时,压力测试就会停止。发生错误的存储器定位地址以及错误模式会打印出来,参见图 8 的示例。

在图 8 示例中,当读取地址模式测试的数据时,会发现错误。此报告上报错误,因为存储器内容应当与地址相同,即 0x10000000。此压力测试报告了一个错误,因为从地址中读取的数据是 0xfd0000ff。

在图 9 示例中,当读取采用特定模式写入的数据时,会发现错误。在这种情况下,DATA[2]应为 0,却发现实际为 1。因此,我们可以重点检查这种情况下字节 0 的硬件和驱动强度。

```
DDR Freq: 396 MHz
t0.1: data is addr test
Address of failure: 0x10000000
Data was: 0xfd0000ff
But pattern should match address
```

图 8

```
Address of failure: 0x12000040
Data was: 0x04000400
But pattern was: 0x04040404
```

图 9

如果电路板未通过目标频率下的压力测试,我们就可以在增量频率下运行该测试,查看 DDR3 正常运行的最高频率。该测试让我们明白,这个故障是由于 DDR3 连接错误、MMDc 设置不当或是 PCB 布线欠佳。

如果 DDR3 甚至无法通过低频率的压力测试,例如 200 MHz,这更可能是硬件问题。那么,最好应首先检查 DDR3 连接。此外,您应检查 DDR3、i.MX6 MMDc 和 DDR3 I/O 的电源,查看电压是否有效,纹波不是太大。

如果该电路板无法通过目标频率的压力测试,但可以通过稍低频率的压力测试,那么您可以尝试微调 DDR3 I/O 的驱动强度,也可以重新查看 MMDc 参数,看是否所有 AC 时序在目标频率上都能满足。