

i.MX8X 硬件开发向导与指南

by John Li (nxa08200)
GSM CAS
恩智浦半导体(上海)有限公司

本文旨在说明基于i.MX8X如何设计硬件平台,包括相关设计资源的收集与学习,硬件原理图设计,layout,启动(bring up),量产准备,及正式量产后的失效分析与失效控制。主要是帮助厘清硬件开发相关从头到尾的问题。

请注意本文为培训和辅助文档,部分内容源自PMIC/i.MX8X硬件开发指南,并作中文翻译,强调重点,和查缺补漏,本文不是官方文档的替代,请一切以官方文档为准。

版本	说明	作者
V1	创建本文	John Li Lambert Zhang (翻译第五章)

目录

1	i.MX8X硬件参考平台	3
2	i.MX8X硬件设计资源	5
	i.MX8X芯片相关设计资源	5
	i.MX8QXP MEK板外设相关设计资源	10
	i.MX8QXP 硬件接口规范	11
3	i.MX8X原理图设计检查点	13
	PMIC+i.MX8X供电能力和上电时序	13
	PMIC电源输出端设计	17
	I.MX8X电源输入端及去耦设计	22
	LPDDR4内存设计	23
	DDR3L内存设计	25
	I2C总线设计	26
	Reset, Wdog reset和On/Off设计建议	27
	PCIe设计	29
	USB设计	30
	晶体时钟设计	32
	JTAG信号端接设计	34
	未使用接口管脚的端接处理	35
	GPIO管脚的设计策略	37
	调试接口建议	37
4	i.MX8X 布线设计检查点	40
	PMIC电源输出端布线建议	40
	i.MX8X端去耦电容摆放	41
	电源布线建议	41
	PCB叠层建议	43
	内存布线通用建议	43
	LPDDR4内存布线建议	44
	DDR3L内存布线建议	45
	内存信号完整性仿真建议	47
	内存JEDEC信号兼容性测试	48
	高速电路板布线建议	49
	时钟建议	50
	信号线阻抗建议	53
	USB布线建议	54
5	i.MX8X硬件散热设计	54
6	i.MX8X硬件启动bring up	56
	Bring up需要参考的文档与使用工具	56

Bring up需要准备的文档与使用工具	60
Bring up检查列表.....	65
7 试产与量产前检查点.....	67
内存稳定性	67
ESD与EMI考虑.....	68
产线设计	69
8 i.MX8X失效分析流程.....	70
NXP失效分析服务	70
NXP FA失效分析流程.....	70
筛查是否是芯片原生问题.....	72
9 量产厂线的EOS/ESD控制	73
什么是EOS/ESD.....	73
设计中的EOS/ESD风险检查点	75
生产产线中的EOS/ESD风险与防护	78

1 i.MX8X 硬件参考平台

如果考虑 i.MX8X 最小系统的硬件配置，主要参考 i.MX8X 平台的主芯片，储存设备，内存和电源。根据 i.MX8X 的应用场景，主要可能有以下配置：

iMX Device	Storage/ part number 示例	memory/ part number 示例	application	参考硬件
i.MX8QXP_DXP	MTFC32GAKAEFF MTFC64GAJAEDN 32/64GB eMMC	LPDDR4 4GB MT53B1024M32D4	中控娱乐系统	i.MX8QXP MEK CPU+BaseBoard
		LPDDR4 3GB MT53B768M32D4	中控娱乐系统	
	MTFC4GMWDM 4GB eMMC	LPDDR4 2GB MT53B512M32D2	Tbox+V2X	i.MX8QXP MEK CPU+BaseBoard +TJA1100 PHY board
i.MX8DX		DDR3L 1GB M41K512M16	仪表，环视	i.MX8QXP MEK CPU + BaseBoard +TJA1100 PHY board +MAX9286 MiPi CSI bridge board
		DDR3L 512MB MT41K256M16		
		MT29F4G08 512MB NAND	DDR3L 256MB MT41K128M16	
	MT29F8G08 1GB NAND		V2X	

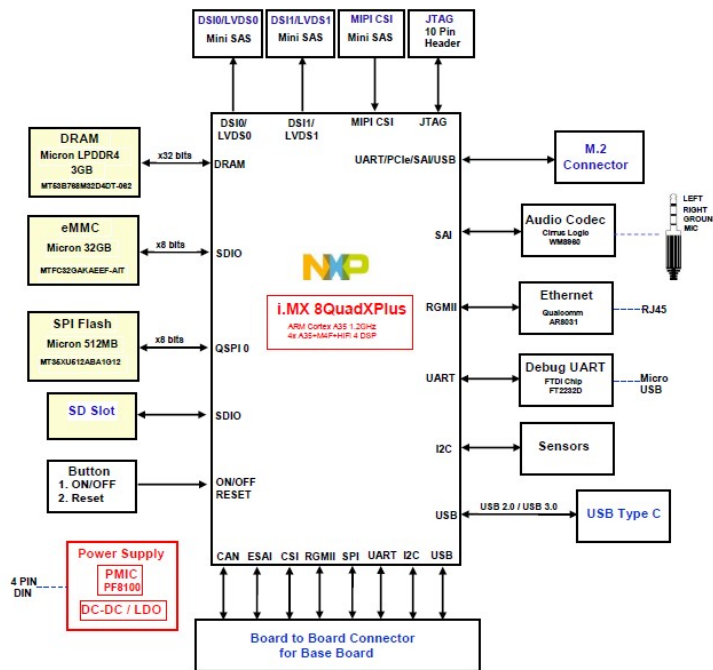
注意：

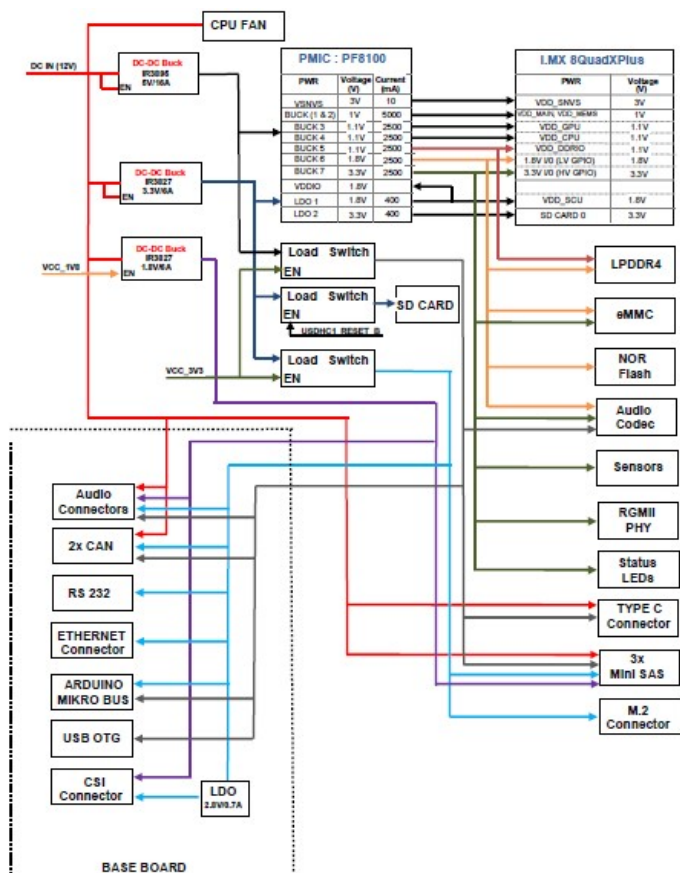
i.MX8QXP/DXP 支持双通道 LPDDR4 32bit 带宽，目前双通道 LPDDR4 最大为 4GB，i.MX8DX 仅支持单通道 LPDDR4 16bit 带宽，单通道 LPDDR4 并不主流，而且 i.MX8DX 的应用场景中使用的内存并不大，目前 16bit 单片 DDR3L 最大也到 1GB(还需要过汽车认证)，所以考虑性价比，i.MX8DX 使用 DDR3L 较多，i.MX8QXP/DXP 使用 LPDDR4 较多。

一般汽车上如果使用 NAND Flash boot 的话，要求使用 SLC，SLC 容量本身不大，而 4GB 一般是 eMMC 和 MLC NAND 的价格交叉点，所以对于没有屏幕渲染元素，功能单一的应用，比如说纯 V2X，一般使用 SLC NAND，对于有屏屏渲染的，功能复杂的，需要有比较大的储存要求的，可以使用 eMMC, QSPI NOR 一般用于 boot 镜像的储存，在目前 eMMC 和 SLC 比较成熟的情况下一般用不到，所以本文不再考虑。

i.MX8DX 目前没有开发板（计划在 2020 年下半年推出），i.MX8QXP MEK 板是 eMMC+LPDDR4 的配置，i.MX8QXP LPDDR4 validation 板是 eMMC(NAND Flash 可以 rework 支持)+LPDDR4 的配置，i.MX8QXP DD3L validation 板是 eMMC+DDR3L 的配置，所以对 i.MX8DX 的客户，建议获得 validation 板的设计资料。

以下为 i.MX8QXP MEK 板的框图：





2 i.MX8X 硬件设计资源

i.MX8X 芯片相关设计资源

参考文档《MX8X_Design_Resource_Guide_V*》下载 i.MX8X 相关硬件设计资源，以下列出硬件相关需要的资料，文档，软件工具：

种类	名称	说明	来源
硬件资料	i.MX8QXPDF.zip	i.MX8X MEK CPU 板 硬件资料，包括原理图，BOM，layout，Gerber	www.nxp.com
硬件资	iMX8MEK_BaseBoard_DF.zip	i.MX8X MEK Baseboard 板 硬件资料，包括原理图，BOM，layout，Gerber	www.nxp.com

料			
硬件资料	iMX8_Camera1MP_DF.zip iMX8_LVDS-to-HDMI-Card_DF.zip iMX8_MINISAS-to-CSI-Card_DF.zip iMX8_MIPI4CAM2_DF.zip iMX8_MIPI-to-HDMI-Card_DF.zip iMX8_RMII-BRPHY-Card_DF.zip iMX8_Audio-IO-Card_DF.zip	i.MX8X MEK 附件板 硬件资料, 包括原理图, BOM, layout, Gerber	www.nxp.com
硬件资料	i.MX 8QXP DDR3L Schematic Reference - sch-29848_a1.pdf	i.MX8QXP DDR3L Validation 板的 PDF 格式的硬件原理图, (某些内存比较小的应用场景, 可能使用 DDR3L, 特别是 i.MX8DX 只有 16bitDDR 带宽, 所以使用 DDR3L 比较常见), 这个是 DDR3L 连接的参考, 其它相关原文件需要通过 NXP FAE 获取	External share points
硬件资料	i.MX 8QXP LPDDR4 Schematic Reference - SPF-29611_A1.pdf.pdf	i.MX8QXP LPDDR4 Validation 板的 PDF 格式的硬件原理图, (此板设计可连接 NAND Flash), 这个是 LPDDR4 连接的参考, 其它相关原文件需要通过 NXP FAE 获取	External share points
硬件资料	i.MX8X 17x17 IBIS Model	IBIS 模型, 信号仿真用	www.nxp.com
硬件资料	i.MX8X 21x21 IBIS Model	IBIS 模型, 信号仿真用	www.nxp.com
硬件资料	i.MX8QuadXPlus B0 21x21mm BSDL Files	BSDL 模型, 在线测试用	www.nxp.com
文档	i.MX 8DualX Automotive and Infotainment Applications	本文为 i.MX8DualX 芯片数据手册, 包括:	www.nxp.com

	Processors(REV 1) IMX8DXAEC	芯片耐受电压绝对值 Thermal resistance(C/W) 每路电源电压正常工作电压 外部时钟输入要求 每路电源理论最大工作电流 低功耗模式下的最大电流 上下电时序 内部 PLL 时钟说明 I/O DC/AC 参数 系统信号时序 启动模式配置 封装 默认管脚 IOMUX, IOPAD(上下拉)状态等。	
文档	i.MX 8QuadXPlus and 8DualXPlus Automotive and Infotainment Applications Processors(REV 1) IMX8QXPAEC	同上：为 i.MX8QuadXPlus/DualXPlus 文档，此两个型号为同一芯片， i.MX8DualXPlus fuse 禁掉了两个 A35 核。	www.nxp.com
文档	i.MX8QuadXPlus Power Consumption Measurement (REV3) AN12338	本应用手册主要是说明了： i.MX8QuadXPlus 芯片在低功耗模式，典型最大应用场景 (CoreMark only[测 CPU],Kanzi Performance Analyzer[测 GPU,通常情况下为最大功耗])，KPA+4 CoreMark[同时测 CPU+GPU]时实测最大功耗，以及一些一般应用场景(如 GPU 应用时，I/O 访问时和 A/V playback 时)的实测典型功耗。 i.MX8QuadXPlus 实测性	www.nxp.com

		能指标 (Core/Memory/I/O/GPU/VPU)	
文档	PCIe Certification Guide (REV0)for i.MX8 Serials (REV0) AN12444	本应用手册说明在 i.MX8/8X 系列芯片上进行 PCIe Gen1,2,3 认证的步骤, 工具及注意点。	www.nxp.com
文档	Mask Set Errata for Mask 0N95W (REV0) IMX8X_0N95W	Mask 0N95W 芯片勘误表, 说明目前芯片的 bug 及其 workaround 方法。硬件工程师要注意相关硬件限制或硬件 rework 方法。	www.nxp.com
文档	Mask Set Errata for Mask 0N99Z (REV0) IMX8X_C0_0N99Z	Mask 0N99Z C0 芯片勘误表, 说明目前芯片的 bug 及其 workaround 方法。硬件工程师要注意相关硬件限制或硬件 rework 方法。	www.nxp.com
文档	i.MX 8DualXPlus/8QuadXPlus Applications Processor Reference Manual (REV E) IMX8DQXPRM	i.MX8X 系列芯片使用手册, 详细模块说明整个芯片的情况, 每一个模块都说明了其功能, 信号管脚, 时钟, 实现细节, 详细寄存器说明。硬件工程师需要至少了解 System Boot, Chip IO,及模块 IO 要求。	www.nxp.com
文档	i.MX 8QuadXPlus MEK Board Hardware User's Guide (REV 1) IMXQXPMEKHUG	i.MX8QuadXPlus 的 MEK 开发板说明, 包括功能模块介绍, 和附件情况。	www.nxp.com
文档	IMX8_Hardware_Developers_Guide_v1.0.pdf	此开发指南为 i.MX8 硬件开发指南(非常重要, 硬件工程师必看, 切记, 本文主要内容来自于此文, 并有所提炼, 扩展, 及翻译), 主要包括: 硬件设计检查列表 硬件 layout 要求 散热设计考虑点 硬件启动 Bring Up.	www.nxp.com
文档	Pinout_MX8QXP_B0_MAR2019_v1.02c_with_comparison.xlsx	本文说明 i.MX8QXP_DXP 与 DX 的 pin mapping 区别, 以及 21x21 与 17x17 的封装 pin mapping 区别	External share points

软件工具	UUU(REV 1.2.130)	BSP 镜像下载工具，根据文档《i.MX_Linux_User's_Guide.pdf》从 NXP github: https://github.com/NXPmicro/mfgtools/releases	www.nxp.com 下载软件文档中说明 NXP github 下载
软件工具	Pin tools 工具	用于排 pin iomux 的工具	www.nxp.com
软件镜像	Lx.xx.xx_x.x.x_MX8QXP(REV Lx.xx.xx_x.x.x)	i.MX8QXP MEK demo 镜像，用于烧写 NXP MEK 参考板来参考。	www.nxp.com
软件工具	MX8DualX_B0_DDR3L_RPA_v17.xlsx MX8QuadXPlus_DualXPlus_B0_DDR3L_RPA_v18.xlsx MX8QXP_C0_B0_LPDDR4_RPA_1.2GHz_v13.xlsx MX8X_DDR_Tools_quickstart_guide.pdf	i.MX8QXP/DXP 连接 LPDDR4/DDR3L 的内存配置工具。 i.MX8DX 连接 DDR3L 的内存配置工具。 i.MX8X DDR 测试工具快速使用手册	NXP 社区(内部资料，请通过 NXP FAE 获取)
软件工具	mx8_ddr_stress_test_ER13.1_installation.zip	i.MX8QXP/DXP/DX 内存测试工具，需要在下载模式下连接 USB/串口	NXP 社区(内部资料，请通过 NXP FAE 获取)
文档	MX8X_内存配置与测试应用手册_V*	i.MX8QXP/DXP/DX 内存配置与测试应用手册	NXP 社区 (NXP FAE 开放培训资料)
文档	i.MX8X 硬件设计向导	本文	NXP 社区 (NXP FAE 开放培训资料)
文档	AN3300	General Soldering Temperature Process Guidelines: For reflow profile and thermal limits during soldering	www.nxp.com

i.MX8QXP MEK 板外设相关设计资源

i.MX8QXP MEK 板外设相关资料（主要器件）：

种类	名称	说明	来源
文档	MT53B758M32.pdf	Micron 3GB LPDDR4 Auto level datasheet	www.micron.com
文档	MTFC32GAKAEFF.pdf (emmc 8 128GB ps8222 5 0 ait)	Micron 32GB eMMC Auto level datasheet	www.micron.com
文档	WM8960_4.2-datasheet.pdf	Wolfson audio codec datasheet	www.cirrus.com
文档	PF8100_PF8200.pdf	PMIC 数据手册，建议阅读	www.nxp.com/pmic
文档	AN12286.pdf	Hardware design guidelines for PF81/82 PMIC family- Application note (REV 2) PMIC 硬件设计指导，非常重要，建议阅读，其它涉及到功能安全的文档如 FMEDA 和 Function Safety Manual 需要注册。	www.nxp.com/pmic
文档	R_PF8100CC.pdf R_PF8100FJ.pdf R_PF8100CF.pdf R_PF8200DE.pdf R_PF8200DF.pdf	Configuration report for PF8100 OTP program ID: FJ/CF (REV 1.0) 分别为 i.MX8QXP 连接 LPDDR4/DDR3L 时，使用的 PF8100/8200 汽车级芯片的配置说明文件	www.nxp.com/pmic
文档	TJA1100.pdf	i.MX8QXP/DXP/DX 主要是用于汽车应用，所以我们考虑底板扩展的 TJA1100 以太网 PHY,可以下载 datasheet 和相关其它资料,目前汽车团队正在推动使用 TJA1101 替代 TJA1100，相关资料与参考设计请联系汽车 FAE。	www.nxp.com/products/interfaces/ethernet/automotive phy transceivers

i.MX8QXP 硬件接口规范

i.MX8QXP MEK 板硬件外设接口规范:

种类	名称	说明	来源
文档	JESD79-3E.pdf/JESD79-3-1_1.pdf	DDR3/DD3L JEDEC 规范	www.jedec.com
文档	JESD209-4.pdf	LPDDR4 JEDEC 规范	www.jedec.com
文档	JESD84-B51.pdf	eMMC5.1 JEDEC 规范	www.jedec.com
文档	UM10204_i2c_bus_spec.pdf	I2C 为 NXP 前身 Philips 半导体发明的串行总线, 工作原理可以在网上搜索, 或是在 nxp 公网搜索 UM10204, 有说明, 信号时序在芯片 datasheet 里有说明。	www.nxp.com
接口	SPI	SPI 为 NXP 前身 Motorola 半导体发明的串行总线, 工作原理可以在网上搜索, , 信号时序在芯片 datasheet 里有说明。	www.nxp.com
接口	I2S/SAI	I2S 为 NXP 前身 Philips 半导体发明的音频串行总线, 工作原理可以在网上搜索, SAI: synchronous audio interface, 是基于 I2S 标准的 DAI(digital audio interface, 数字音频设备接口)接口, 是真实存在的物理接口, 信号时序在芯片 datasheet 里有说明。	www.nxp.com
接口	ESAI	It is a superset of the 56300 Family ESSI peripheral and of the 56000 Family SAI peripheral, 信号时序在芯片 datasheet 里有说明。	www.nxp.com
接	UART	, 信号时序在芯片 datasheet 里有	www.nxp.com

口		说明。	
接口	CAN	Bosch 开发的汽车总线，网上可以搜索到 CAN Specification 文档，信号时序在芯片 datasheet 里有说明。	www.nxp.com
接口	usb	USB-IF 官网，从 Document Library 可以下载 usb3.2/2.0/type-C 相关文档	www.usb.org www.nxp.com
接口	pcie	Pci-sig 官网，从主页 Specifications 可以下载到 PCIe 1/2/3 规范。	www.pcisig.com www.nxp.com
接口	rgmii	Reduced Gigabit Media Independent Interface RGMII，可以从 ieeec 下载 spec，信号时序在芯片 datasheet 里有说明。	www.nxp.com cn.ieee.org
接口	MiPi-DSI/-CSI	Mipi alliance 官网，Specifications 栏可以找到 MIPI-CSI2 和 MIPI-DSI 规范。	www.mipi.org www.nxp.com
接口	LVDS	，信号时序在芯片 datasheet 里有说明。	www.nxp.com

注意：

以上所有资料，文档，工具是设计 i.MX8QXP 平台的参考资源，建议收集，学习。

以上加黑体部分资料，文档，建议仔细阅读，是设计 i.MX8QXP 平台的必须参考的资源。

最少要熟悉 i.MX8QXP 硬件资料和 i.MX8QXP/PMIC 数据手册和硬件设计指南。

特别是 i.MX8QXP 硬件设计指南《IMX8_Hardware_Developers_Guide_v1.0.pdf》，本文主要内容来自于此文档说明。

《IMX8_Hardware_Developers_Guide_v1.0.pdf》第 5.3 节列出了一些建议阅读资料：

5.3 Suggested reading

5.3.1 General Information

The following documentation provides useful information about the ARM processor architecture and computer architecture in general.

...

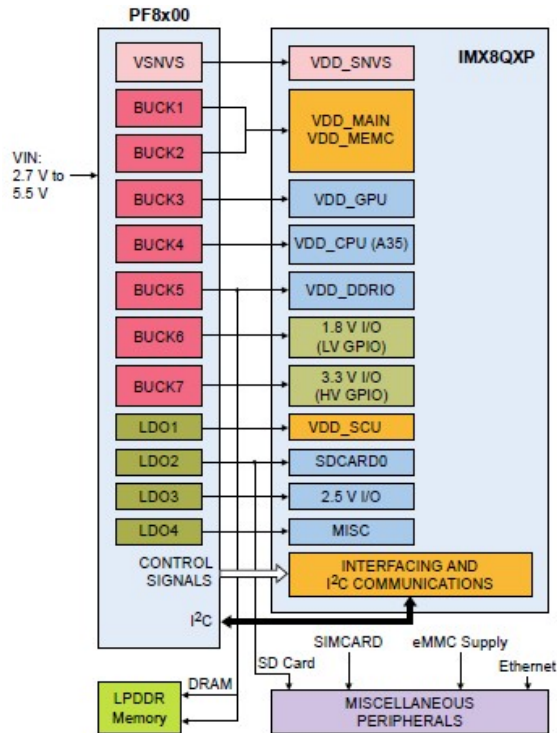
The following documentation provides useful information about high-speed board design:

...

3 i.MX8X 原理图设计检查点

PMIC+i.MX8X 供电能力和上电时序

PMIC 与 I.MX8X 的连接示意图如下：



i.MX8QXP MEK(LPDDR4)+PF8100 上电时序,电压,最大电流要求如下:

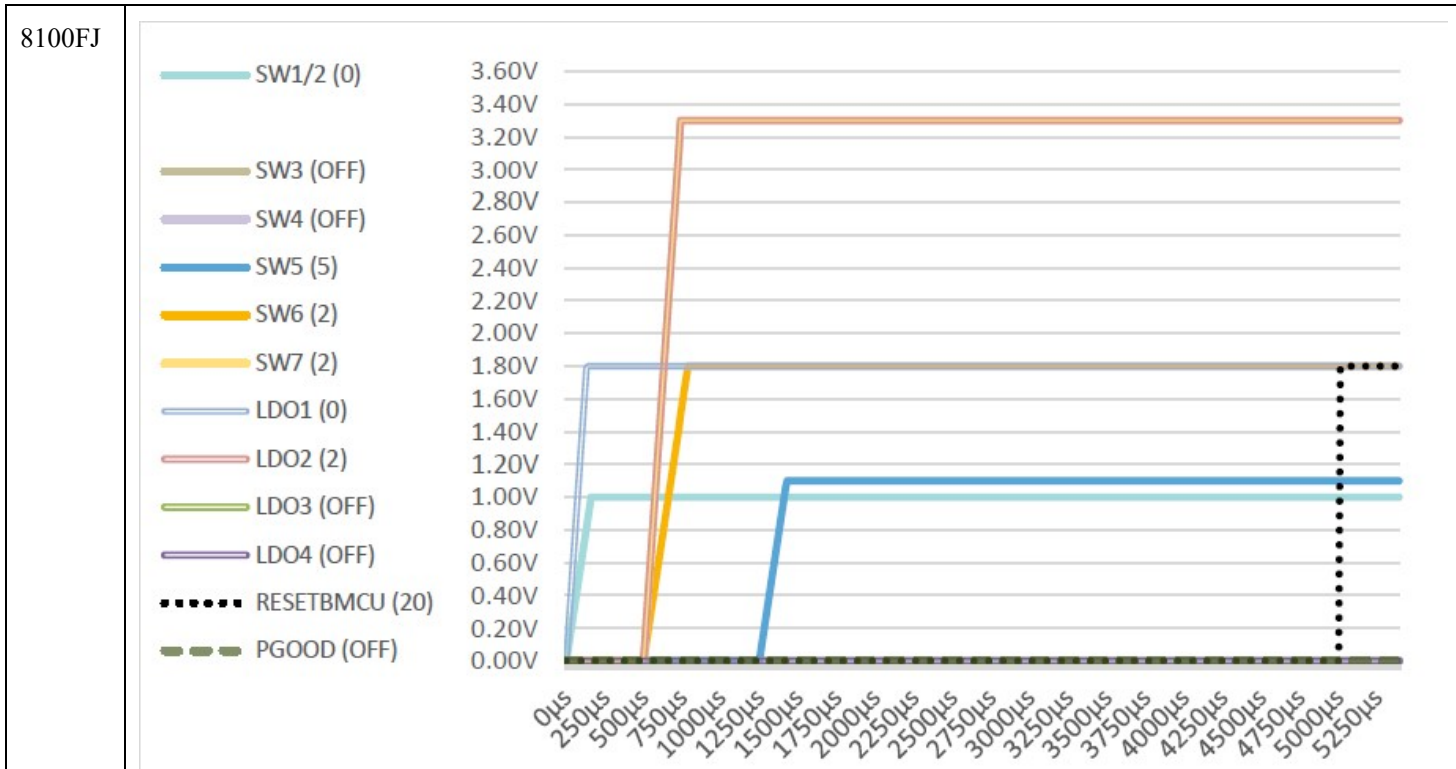
pmic 上电 时序	i.MX8X 要求 上电 时序	Power rail	电压 (V)	PMIC 输出 电流能 力(mA)	i.MX8QXP 要求 最大电流(mA): 数据手册要求/25C 实测	说明
1		VCC_12V0 DC Input	12			
2		VCC_EXT_5V0 DC/DC BUCK	5			
		VCC_EXT_3V3 DC/DC BUCK	3.3			
3	1	VCC_SNVS PMIC PF8100	3	20~70	50	启动电流

4	2	VCC_SCU_1V8 PMIC_PF8100	1.8	400	200	
		VCC_MAIN PMIC_PF8100	1.0	5000 (SW1 +SW2)	5000(i.MX8QXP Kanzi only 25C 实测 937.31)	
5	3	VCC_3V3 PMIC_PF8100	3.3	400	VDD_CAN_UART_1P8_3P3+ VDD_USB_3P3 =30+40=70	此 Power rail 为 各种外设主电源
		VCC_LDO_SD1 PMIC_PF8100	3.3/1.8	400	VDD_USDHC1_1P8_3P3=30	
		VCC_1V8 PMIC_PF8100	1.8	2500	VDD_EMMC0_1P8_3P3(30)+ VDD_EMMC0_VSELECT_1P8_3P3(30)+ VDD_QSPI0A_1P8_3P3(40)+ VDD_QSPI0B_1P8_3P3(40)+ VDD_PCIE_1P8(255)+ VDD_SPI_SAI_1P8_3P3(48)+ VDD_SPI_MCLK_UART_1P8_3P3(36)+ VDD_USDHC1_VSELECT_1P8_3P3(20)+ VDD_MIPI_CSI_DIG_1P8(15)+ VDD_MIPI_1P8_1(115)+ VDD_CSI_1P8_3P3(12)+ VDD_MIPI_DSI_DIG_1P8_3P3(24)+ VDD_USB_1P8(30)+ VDD_ADC_DIG_1P8(18)+ VDD_ADC_1P8(5)+ VDD_DDR_PLL_1P8(20)=738	此 Power rail 也 是 LPDDR4/eMMC/ QSPI 及其它 1V8 外设电源
VCC_DDRIO PMIC_PF8100	1.1	2500	1200	此电源同时是 LPDDR4 IO 电源		
6		VCC_EXT_1V8 DC/DC BUCK	1.8			
7	3	VCC_CPU PMIC_PF8100	1.1	2500	2500 (i.MX8QXP Kanzi+4 CoreMarks 25C 实测 447.67)	SCU fw 软件打 开
8		VCC_GPU PMIC_PF8100	1.1	2500	2500(i.MX8QXP Kanzi only 25C 实测 404.65)	驱动软件打开

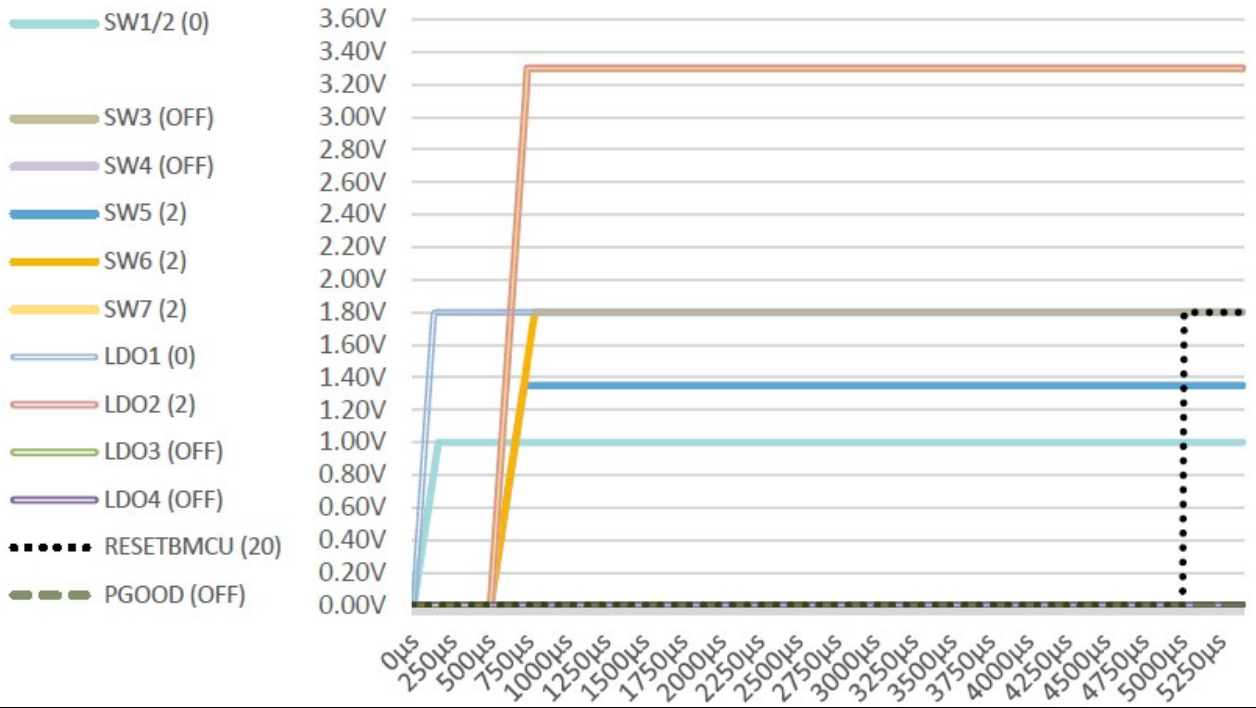
注意：i.MX8QXP MEK(LPDDR4) 使用的 PMIC 型号是 MC33PF8100CCES,目前已经不推荐设计，如下为汽车市场的推荐型号：

型号	可能的应用场景	系统内存	安全级别	OTP ID
MC33PF8100FJES	中控娱乐	LPDDR4	N/A	R_PF8100FJ.pdf
MC33PF8100CFES	环视,V2X	DDR3L	N/A	R_PF8100CF.pdf
MC33PF8200DEES	中控娱乐, V2X+TBoX	LPDDR4	ASIL B	R_PF8200DE.pdf
MC33PF8200DFES	仪表, V2X	DDR3L	ASIL B	R_PF8200DF.pdf

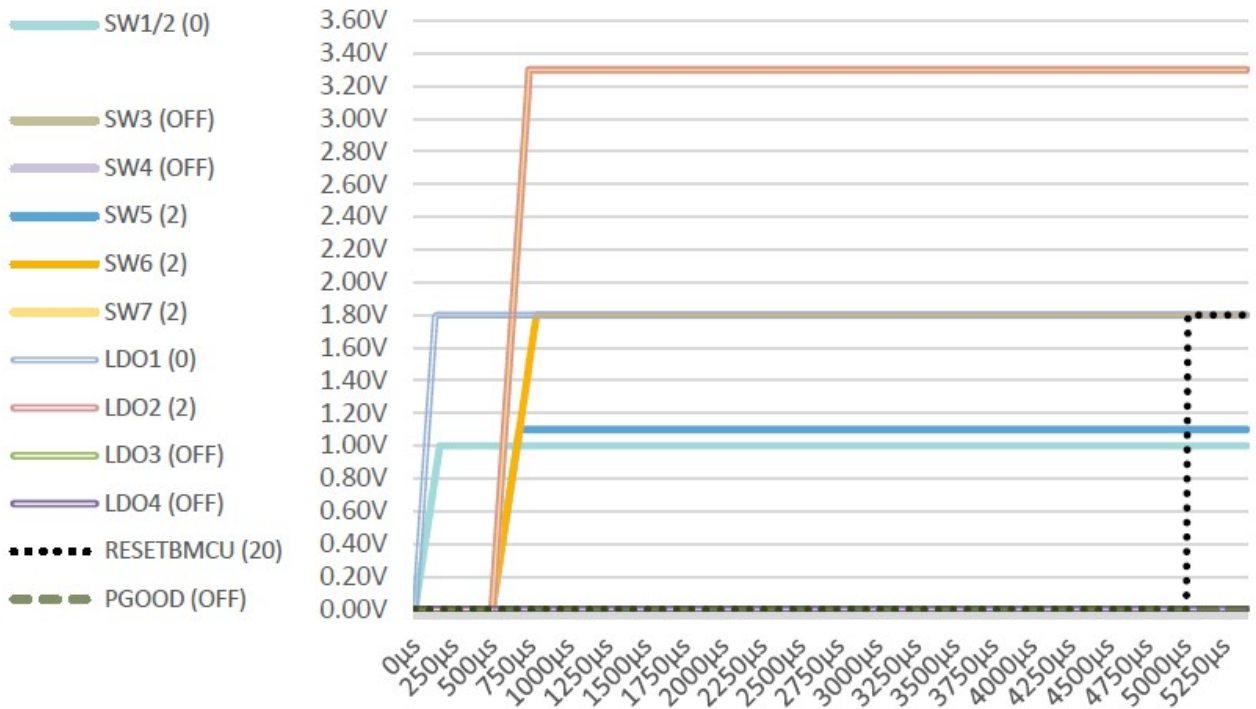
区别如下图表：

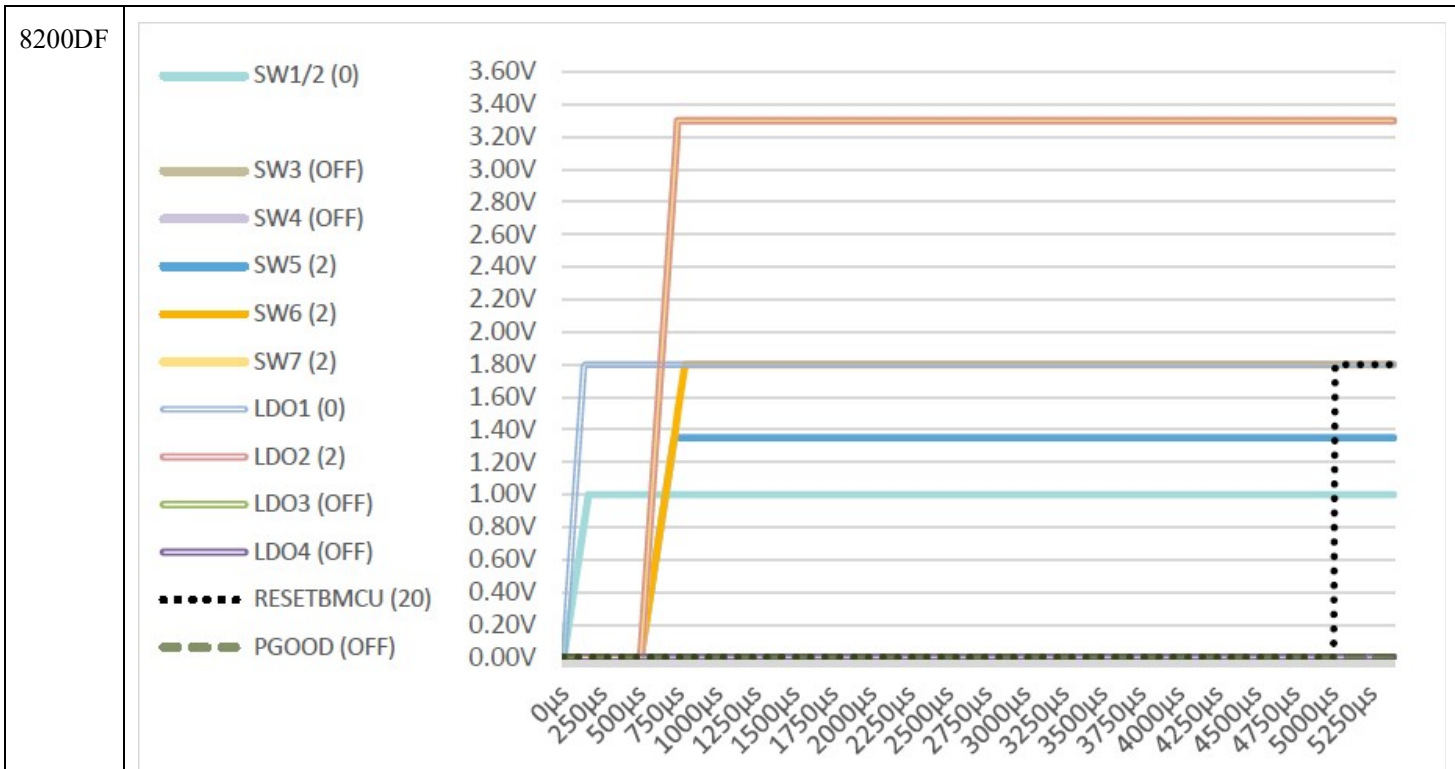


8100CF



8200DE





总结:

i.MX8QXP 最大电流要求源自数据手册《IMX8QXPAEC》和《i.MX8QuadXPlus Power Consumption Measurement (REV3) AN12338》，PMIC 最大电流供给能力源自 PMIC 数据手册《PF8100_PF8200.pdf》，可以看到 PMIC >> datasheet >> 功耗测试文档。所以使用 PMIC 对 i.MX8QXP 供电能力没有问题，i.MX8DX 更没有问题。

i.MX8X 上电时序要求不严，PMIC 的上电时序完全符合。



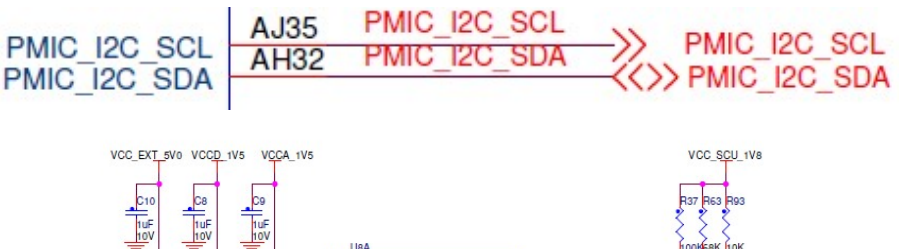
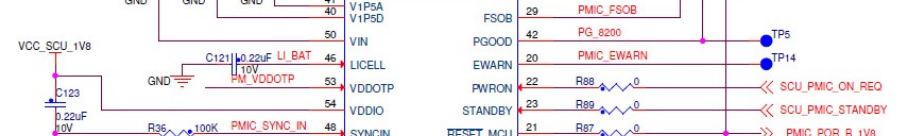
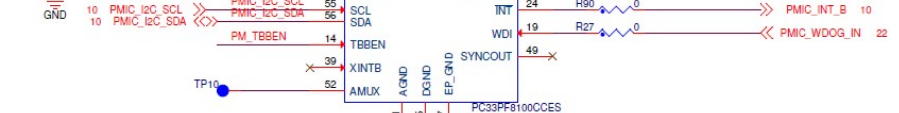
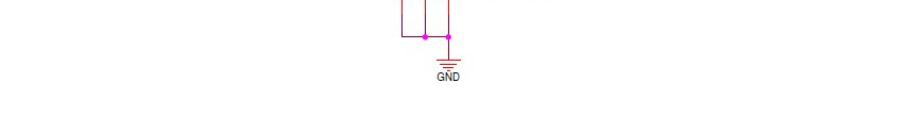



建议 PMIC 选择已有推荐型号。

PMIC 电源输出端设计

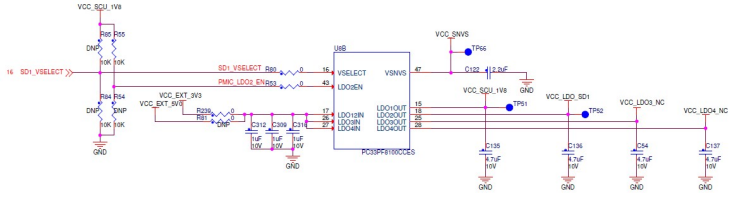
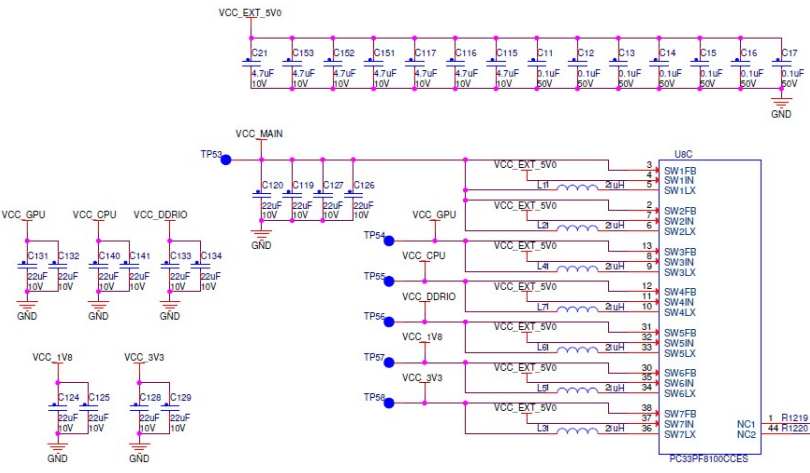
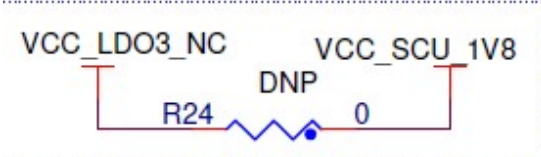
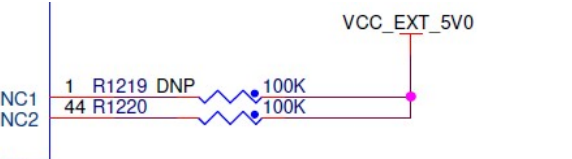
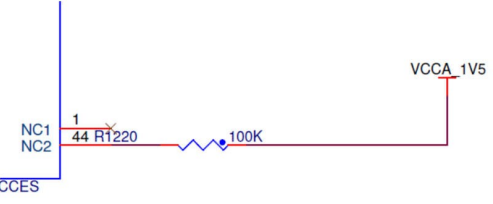
本节主要参考自文档《AN12286.pdf》，Hardware design guidelines for PF81/82 PMIC family, Rev. 2.0 — 14 January 2019 Application note。

PMIC IO 接口示列图如下:

推荐	说明	例图
PWRON(I)	PWRON 输入管脚,在 SCU 控制模式下连接 i.MX8QXP 的 PMIC_ON_REQ 管脚,在自动启动模式下使用 100 kΩ 上拉至 VIN 或 VCC_SNVS。此 100kΩ 电阻在汽车应用中建议焊上。	
STANDBY(I)	STANDBY 输入管脚, 连接到 i.MX8QXP 的 SCU_PMIC_STANDBY 管脚。	
WDI(I)	Watchdog 输入管脚, 连接到 i.MX8QXP 的 SCU_PMIC_STANDBY 管脚 SCU_WDOG_OUT 管脚, 由 JTAG_TRST_B 管脚 IOMUX 出来(此管脚名在新的数据手册中已经修改), 此管脚内部并没有连接到 JTAG 模块, i.MX8QXP 无此 JTAG 硬件 RESET 功能。	
RESETBMCU(O)	RESETBMCU开漏输出管脚, 100 kΩ上拉至 VCC_SCU_1V8(由于 i.MX8QXP MEK 设计了三处上拉, 所以电阻上拉用了 10KΩ)连接到i.MX8QXP 的 POR管脚。	
INTB(O)	INTB 开漏输出管脚, 100 kΩ 上拉至 VCC_SCU_1V8(i.MX8QXP MEK 电阻上拉用了 10KΩ) 连接到 i.MX8QXP 的 PMIC_INT_B 管脚。	
EWARN(O)	i.MX8QXP MEK 设计未使用些管脚, 悬空至测试点。	

LDO2EN (I)	LDO2 电源使能管脚，在 i.MX8QXP MEK 设计直接 10KΩ 上拉到 VCC_SCU_1V8 开电打开。	
VSELECT LDO2 (I)	LDO2 电压选择管脚，连接到 i.MX8X 的 USDHC1_VSELECT 管脚用于选择 SD1 卡槽电压。	
PGOOD(O)	PGOOD 开漏输出管脚，100 kΩ 上拉至 VCC_SCU_1V8(i.MX8QXP MEK 电阻上拉用了 68KΩ)，i.MX8QXP MEK 设计未使用此管脚，悬空至测试点。	
SYNCIN(I)	外部时钟输入管脚，i.MX8QXP MEK 设计未使用些管脚，100KΩ 下拉到地。	
SYNCOUT(O)	外部时钟输出管脚，i.MX8QXP MEK 设计未使用些管脚，悬空。	
AMUX(O)	模块乘法器输出管脚，i.MX8QXP MEK 设计未使用此管脚，悬空至测试点。	
FSOB(O)	功能安全输出管脚，i.MX8QXP MEK 设计未使用此管脚，100KΩ 上拉到 VCC_SCU_1V8。	
SCL/ SDA(I/O)	I2C PMIC 控制管脚，2.2 kΩ 上拉至 VCC_SCU_1V8。连接到 i.MX8X 的 PMIC_I2C_SCL/SDA 上，此管脚应会 SCU 独占，不建议复用。	
XINTB(I)	外部中断输入，如果需要连接伴随 PMIC，则需要使用 100KΩ 上拉 VCC_SCU_1V8 连接到另一颗 PMIC 的 INTB，i.MX8QXP 只用一颗 PMIC，所以这里悬空。	

TBBEN(I)	Try before buy enable pin,接地	
LICELL(I/O)	锂电池输入(22nF 电容接地), 汽车应用设计中一般不需要, i.MX8QXP MEK 板使用 0.22uF 接地	
VDDIO(I)	系统 IO 电源输入(0.1uF 电容接地), i.MX8QXP MEK 板使用 0.22uF 接地, 连接到 VCC_SCU_1V8。	
VSNVS(O)	VSNVS 电源输出, 连接到 i.MX8QXP 的 VDD_SNVS_4P2, 2.2uF 电容接地, i.MX8QXP MEK 在 i.MX8QXP 输入侧还加了两个 0.22uF 电容。	
V1P5A(O)	内部 1.5V 模拟电源去耦管脚, 1.0uF 接地。	
V1P5D(O)	内部 1.5V 模拟电源去耦管脚,	
OTP	<p>强烈建议客户选择和我们已有型号相配的 PMIC, 不建议采用自定义 OTP 的方式, 对于特定的 OTP 要求, 大量的, NXP 可以定制芯片, 小量的, 代理可以提供烧写办法, 如果要求在板上烧写的, 需要设计相关接口</p>	<p>参考《AN12286.pdf》, Figure 5. Programming interface, Note: Programming interface connector pinout shown in Figure 5 is compatible with the KITPF8200FRDMPGM programming tool. Note: Configuration signal may require isolation from the main system in order to allow proper communication with the PMIC during OTP programming procedure. Such isolation may be achieved via two row pin headers, 0 Ω resistor arrays or a dip switch array. Note: PMIC_ON_REQ pull up may be moved to the SNVS_SCU_V1P8 domain</p>

不使用管脚处理		参考《AN12286.pdf》，Table 1. Unused functional pin termination。
LDO 电源输出	LDO 电源设计只需要直入直出，加上输入输出电容。输出电容容值要是输入电容容值的 两倍以上 ，输入的过压值建议 10V 或 16V.输出建议 6.3V 到 10V.	
DCDC 电源输出	<ul style="list-style-type: none"> ● 输入电容为 4.7uF 10V 或 16V。 ● 1.0uH 电感，饱和电流符合要求，直流阻抗小于 40mΩ。 ● 输出电容为 2x22uF,6.3V,使用更多的电容可以降低 ESR(等效串联电阻) ● 在输入输出端建议可以加上 0.1uF 电容，做高频去耦滤波。 	
多余备份电路	i.MX8QXP MEK 板上的此电路是芯片调试过程中的备份电路，没有任何意义，建议直接删除。	
修改电路	i.MX8QXP MEK 板上的此电路建议修改如下：NC1 悬空 NC. NC2 连接到 VCCA_1V5.	 <p>To minimize Quiescent current, tie PMIC pin 44 pull-up resistor (R1220) to pin 41</p> 
未使用 LDO 输出管脚	LDO1/2 都不用，LDO1/2/12IN 接地。 LDO1 或 LDO2 不用，不用	

	的 LDOxOUT 接地, LDO12IN 要接 LDO2 或 LDO4 不使用, LDOxIN/OUT 接地	
未使用 DCDC 输出管脚	建议: SWxIN 接 VIN, SWxLX 不接, SWxFB 接地。也可以全部接地, 但是这样漏电流更大。	

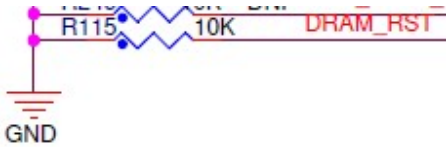

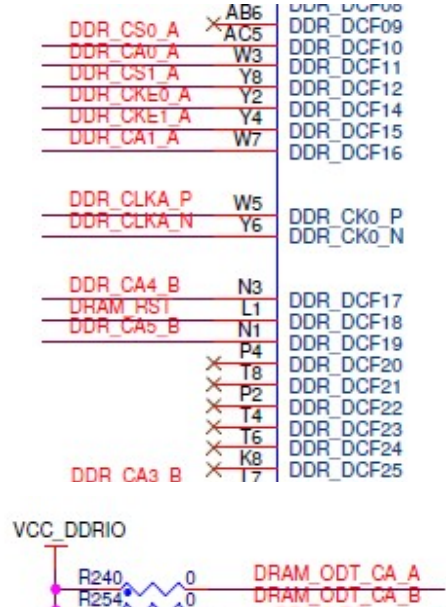
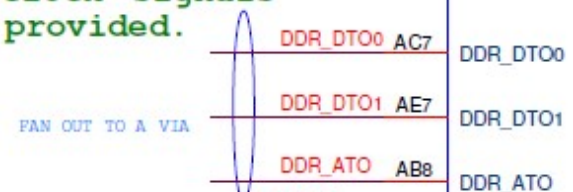
I.MX8X 电源输入端及去耦设计

推荐	说明	例图及建议
遵守数据手册中要求的上电时序, 以保证系统可靠运行。	错误的上电时序可能导致: <ul style="list-style-type: none"> ● 上电时电流过大。 ● 启动失败。 ● 最坏情况下可能导致芯片不可逆损坏 	注意: <ul style="list-style-type: none"> ● 所有连接到 i.MX8X 上的外设芯片, 不能先于 i.MX8X 先上电, 因为有可能会从芯片连接到 i.MX8X 的管脚将电流反灌回 i.MX8X, 从而影响 i.MX8X 的上电时序, 所以外设芯片的电源要可控, 可以使用 PMIC 控制上电, 或是 i.MX8X 使用 GPIO 去软件开关外设电源。 ● 强烈建议使用与 i.MX8X 相配合的 PMIC, 他们已经匹配了上电时序 ● 汽车应用中连接的伴随 MCU 通常处于电源长开的情况, 这时在 i.MX8X 电源关闭的情况下要将 MCU 连接到 i.MX8X 的管脚(SPI/UART/I2C)设置为 GPIO 输入高阻态, 以防上电流反灌。
最大电源电压纹波要求	纹波噪声的峰峰值一般要求应小于电源电压标称值的 5%	比如说 VDD_A35 要求是 1V(Nominal 900Mhz), 则纹波噪声的峰峰值要小于 50mV。注意测试纹波时要用纹波测试方法(弹簧探头, 交流档, 限制带宽), 如果是测试 CPU 纹波, 要在 CPU 最高负载的情况下测试, GPU 同理。
VDD_PCIE_LDO_1P0_CAP 芯片内部 LDO, 外部使用了 1 个 2.2uF+1 个 0.22uF 去耦电容的组合	将 0.22uF 的去耦电容直接放置在 BGA 封装背面, 靠近管脚上 (要求<50mils)。VDD_PCIE_LDO_1P0_CAP 电源为内部 LDO 输出, 所以外部信号 PCIE_LDO_CAP 直接连接到去耦电容上。	

<p>VDD_USB_SS3_LDO_1P0_CAP</p> <p>芯片内部 LDO,外部使用了 1 个 2.2uF+2 个 0.22uF 去耦电容的组合</p>	<p>将一个 0.22uF 去耦电容直接放置在 BGA 封装背面,靠近管脚上(要求<50mils)。</p> <p>VDD_USB_SS3_LDO_1P0_CAP 电源为内部 LDO 输出,给 VDD_USB_OTG1_1P0</p> <p>供电,所以外部信号 VDD_USB_LDO_1P0_CAP 直接连接到去耦电容上。</p>	
<p>i.MX8QXP LPDDR4 MEK 板上其它电源去耦电容的放置参考表《IMX8_Hardware_Developers_Guide_v*》Table 10 – Capacitor Recommendations to be Placed Near i.MX8 QXP</p>	<p>电容级别为 X7S 或 X7R</p> <p>此表要求为 i.MX 侧的, PMIC 侧的请参考前一节。</p>	

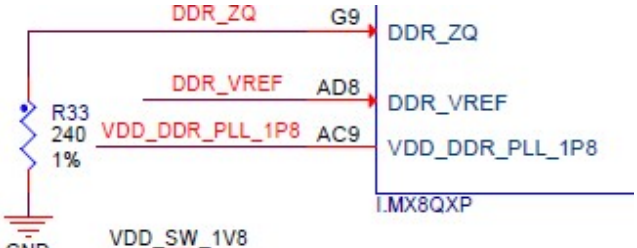
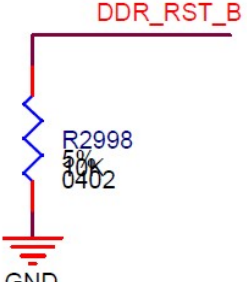
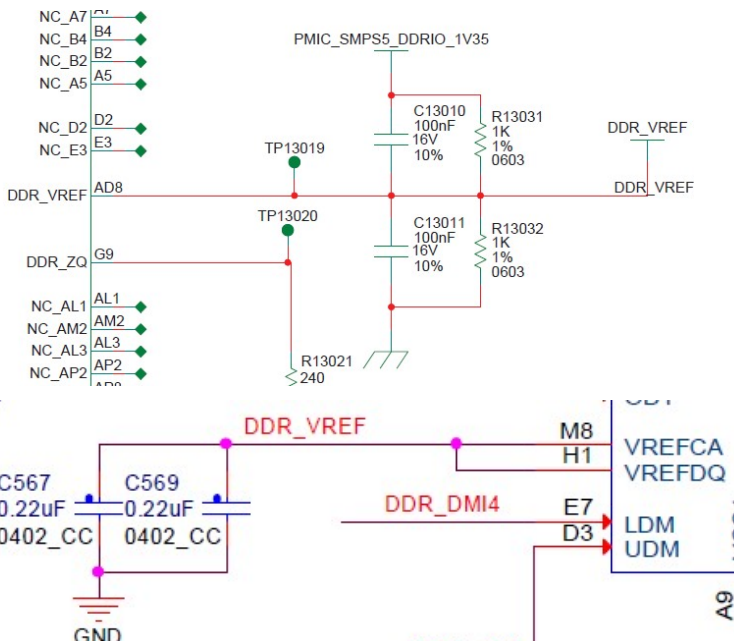
LPDDR4 内存设计

推荐	说明	例图及建议
<ul style="list-style-type: none"> ● i.MX8QXP 端 DDR_ZQ 管脚 (G9)使用 240Ω, 1%精度电阻接地 ● LPDDR4 端, ZQ0/1 管脚使用 240Ω, 1%精度电阻接到 VCC_DDRI O 	<p>此端接电阻用于内存输出缓冲驱动校准</p>	

<p>LPDDR4 和 i.MX8X 的 reset 管脚用 10kΩ, 5% 精度电阻接地</p>	<p>这将确保遵守 JEDEC 规范, 直到 i.MX8X 的内存控制器配置成功, 开始驱动 DDR</p>	
<p>i.MX8QXP 的 DDR_VREF(管脚 AD8), 可以悬空。</p>	<p>i.MX8QXP 芯片内部可以生成此参考电压, 所以不需要接外部源</p>	
<p>i.MX8QXP 的 DDR_DCF09(AB6) DDR_DCF25(K8) 悬空, LPDDR4 的 ODT_CA 管脚直接连接到 VCC_DDRIO</p>	<p>i.MX8QXP 的 LPDDR4 的 ODT 是基于命令的, 所以不需要连接外部 LPDDR4 的 ODT_CA 管脚。</p>	
<p>LPDDR4 仅支持单 Chanel 16bit 带宽结构。</p>	<p>JESD209-4B 规定的 8bit 的 BYTE 模式不支持。</p>	
<p>i.MX8QXP 的 DDR_ATO(AB8) DDR.DTO0:1(AC7, AE7)悬空</p>	<p>这个是芯片生产观测管脚, 不使用。</p>	

DDR3L 内存设计

i.MX8X+DDR3L 的参考设计原理图为《i.MX 8QXP DDR3L Schematic Reference - sch-29848_a1.pdf》，此设计使用了三片 DDR3L，一般连接的 DDR3L 都是 i.MX8DX,只采用一片 DDR3L，端到端设计。

推荐	说明	例图及建议
i.MX8QXP 端 DDR_ZQ 管脚(G9) 使用 240Ω, 1%精度电阻接地	此端接电阻用于内存输出缓冲驱动校准	
DDR3L 和 i.MX8X 的 reset 管脚用 10kΩ, 5% 精度电阻接地	这将确保遵守 JEDEC 规范, 直到 i.MX8X 的内存控制器配置成功, 开始驱动 DDR	
i.MX8QXP 的 DDR_VREF(管脚 AD8), 和 DDR3L 的 VERFCA/FDQ 相连, 电压为 DDRIO_1V35 的一半	<p>考虑 i.MX8DX 连接一片 DDR3L 的情况: 使用 1K, 精度 1% 的电阻从 DDRIO_1V35 分压, 分压电阻就近并联 0.1uF 电容。</p> <p>(NXP 的 DDR3L 连接了三片 DDR3L, 所以加了驱动器, 连接一片 DDR3L 不需要)</p>	

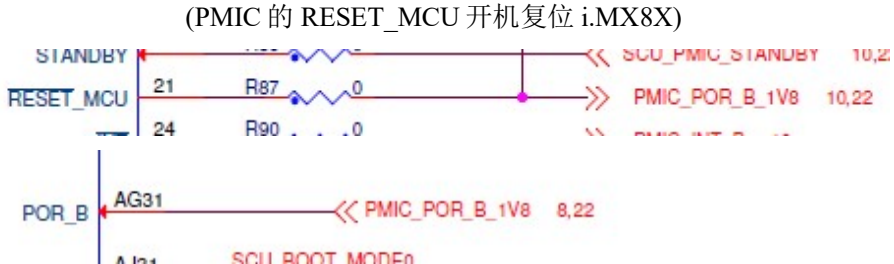
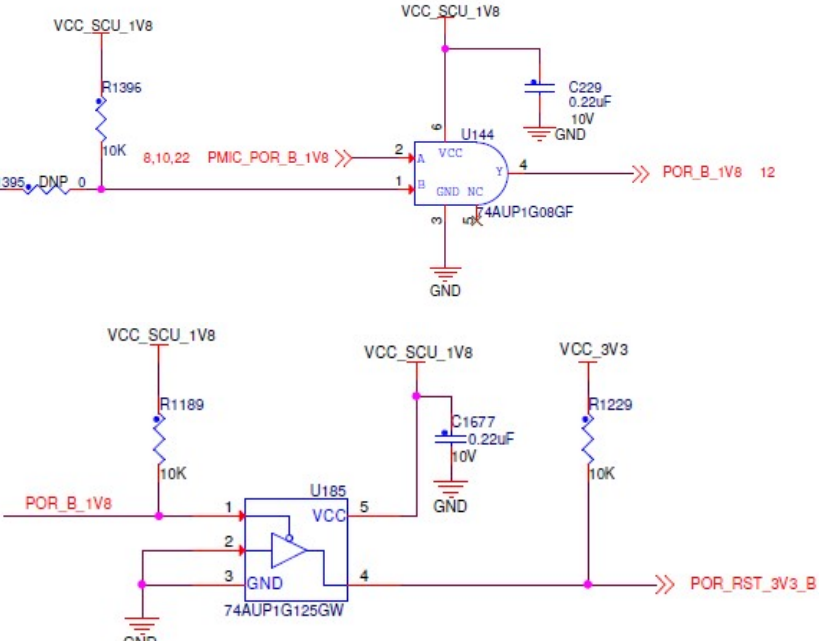
<p>多余端接电路</p>	<p>i.MX 8QXP DDR3L Schematic Reference -sch-29848_a1.pdf 连接了三片 DDR3L, 采用 fly-by 结构, 如果只是 iMX8DX 加一片 DDR3L, 是点到点拓扑, 所以可以将 DDR_VTT 电路去掉。</p>	
<p>i.MX8QXP 的 DDR_ATO(AB8) DDR.DTO0:1(AC7, AE7)悬空</p>	<p>这个是芯片生产观测管脚, 不使用。</p>	

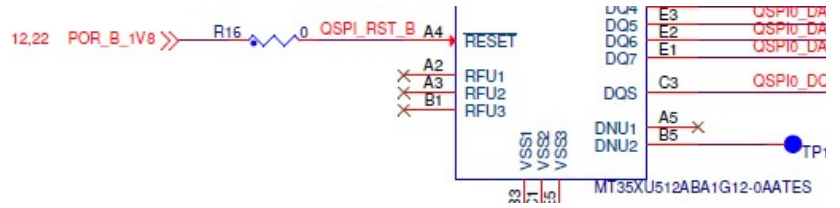
I2C 总线设计

推荐	说明	例图及建议
<p>确认需要连接的目标设备的 I2C 时钟速度</p>	<p>I2C 总线只能工作在连接在这条总线上时钟速度 最慢的外设的要求速度上。</p>	<p>所以要确认一下连接的所有外设要求是时钟是一致的, 如果有慢速的设备, 可以移到另一条慢速 I2C 总线上。</p>
<p>确保同一条 I2C 总线上的外设地址不冲突。</p>	<p>如果冲突, 可以将冲突中的某一外设连接到另一条 I2C 总线上。</p>	<ul style="list-style-type: none"> ● 大多数的 I2C 可以硬件配置 I2C 地址, 所以可以硬件设置为不同。 ● 如果冲突无法避免, 可以使用 I2C bus switch(NXP PCA9646)
<p>一条 I2C 只能有一组上拉电阻</p>	<p>多个上拉电阻会导致并联后的上拉电阻过小, 比如说有的设计用 CPU 板和底板, 如果在 CPU 板上 I2C 上拉已经有的, 那底板上就要 DNP。</p>	<ul style="list-style-type: none"> ● 根据 JEDEC 标准, I2C 上拉电阻的范围是 1k~10k, 可以根据外设的负载多少来调整, 外设越多, 则这个值应该越小, 推荐如下: 接一个外设的推荐值为 4.7k, 两个外设的推荐值为 2.2k。 三个外设的推荐值为 1.2K 四个外设的推荐值为 1K
<p>确保 I2C 总线 电压一致</p>	<p>I2C 管脚电压, 上拉电压和外设电压要一致。</p>	<p>不一致的电压会导致操作错误或设备损坏。最后三者来自于同一电源。</p>
<p>重要设备独占一条 I2C 总线</p>	<p>比如说 PMIC</p>	<p>i.MX8X 上使用的是 SCU 来操作 PMIC 的, 他是独占单独的一条 I2C 总线的。</p>
<p>操作频繁的 I2C 外</p>	<p>比如说 touch screen</p>	<p>i.MX8X 的芯片已经有所考虑, 比如说对屏和摄像头模块, 都设计了自己专用</p>

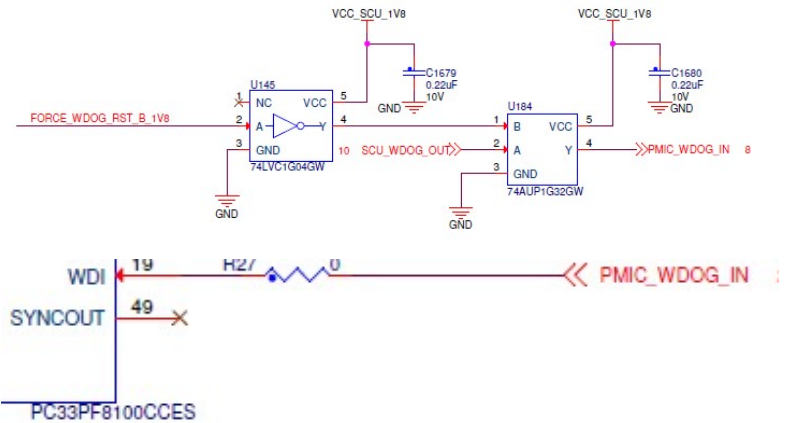
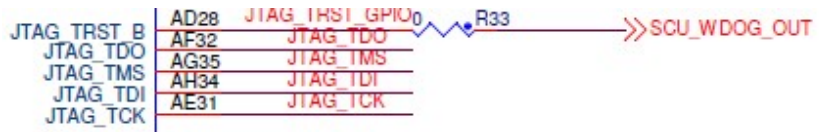
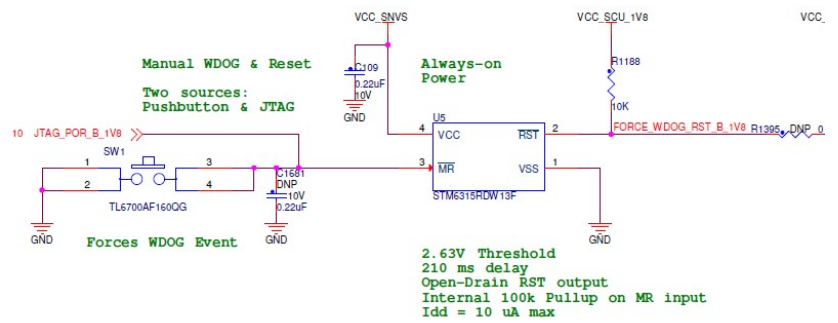
设最好独占一条 I2C 总线	的 I2C 接口
----------------	----------

Reset, Wdog reset 和 On/Off 设计建议

推荐	说明	例图及建议
<p>POR_B 需要在上电时下拉，直到最后上电的电源稳定后再释放，POR_B 连接到 PMIC 的 RESET_MCU 上，由 PMIC(PF81/82) 控制</p>	<p>POR_B 是一个低电平冷复位输入信号，它会复位芯片内部的所有模块和逻辑，此信号也可以用于内部输出的复位要求和外部复位电路(可以相与)，当 POR_B 低复位时，PMIC_ON_REQ 保持高。</p>	<p>实际 i.MX8QXP MEK 设计中的 wdog 复位是去复位 PMIC 的，这样才可以对整个 MEK 板复位，有时候只复位 i.MX8X 并不安全，比如说外部的 QSPI NOR 并没有复位导致的访问失败，或是 PMIC 没有复位导致的电平不满足 i.MX8X 的启动要求(如调频调压导致 CPU 电压不够)：</p> <p>(PMIC 的 RESET_MCU 开机复位 i.MX8X)</p>  <p>(PMIC_POR_B 信号会设置 POR_B_1V8，用于复位 QSPI NOR) (POR_B_1V8 信号会设置 POR_RST_3V3_B，用于复位如底板上的 3V3 外设)</p> 



(JTAG 调试器接口上的 JTAG_SRST_B 和 SW1 复位按键相与, 然后再反相, 再与 i.MX8X 的 WDOG OUT(管脚名称虽然是 JTAG_TRST_B, 但是实际上是 i.MX8X 芯片无此功能, 这个管脚实际上是 WDOG OUT)相与, 去 RESET PMIC(WDI 管脚), 以上就是 i.MX8QXP 的硬件 RESET 设计



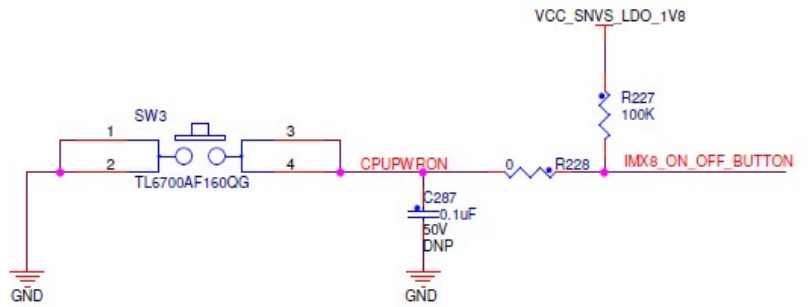
在手持低功耗应用中, ON_OFF_BUTTON 可以用于芯片的一键开关机, 芯片内部有去抖设计, 和

关机状态下对地长按 0.5 至 4 秒, 内部电源管脚状态机会将状态改成开机, 在开机状态下, 短按接地会产生中断 (软件可以使用此中断来处

i.MX8QXP MEK 设计了开关机键, 事实上在汽车应用中一般不需要, 可以悬空:

内部上拉，在汽车应用中一般不需要，可以悬空

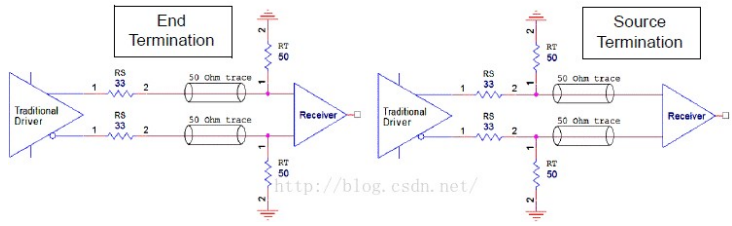
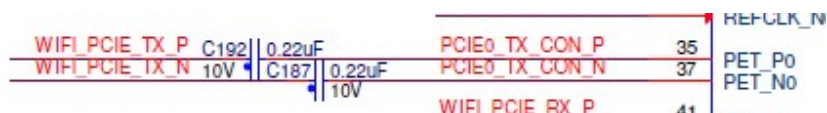
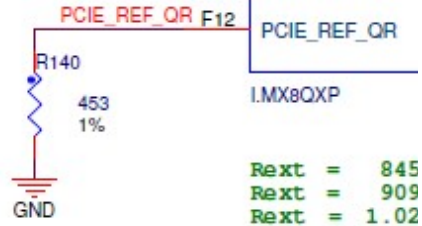
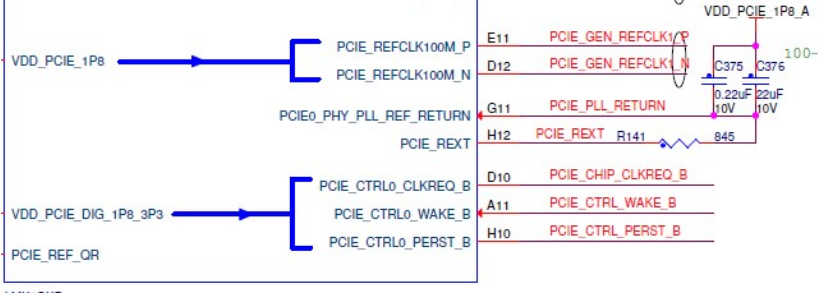
理关机，如 Android 关机过程），长按 5 秒以上会触发硬件关机



Note: Hold for 5 sec for force off.
Hold for 0.5 sec to turn on

PCIe 设计

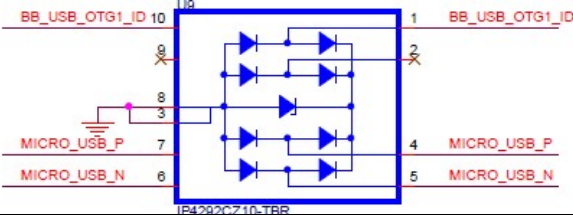
推荐	说明	例图及建议																																						
<p>使用 HCSL (High-Speed Current-Steering Logic) 差分参考时钟，差分时钟信号要求使用 50ohm 到地端接，不需要 AC 匹配 100ohm 阻抗匹配。</p>	<ul style="list-style-type: none"> i.MX8QXP MEK 板设计默认使用外部 PCIe 时钟芯片，请参考其 specs(关于抖动，准确性等参数) 也可以使用 i.MX8QXP 的内部时钟(可以通过相关 PCIe 认证，但是有 EMI 风险) 时钟可以使用 buffer 连接一到两个外部设备。 	<ul style="list-style-type: none"> MX8QXP validation 板上设计了使用外部时钟和内部时钟的兼容设计，如下： <div data-bbox="715 1061 1522 1263" data-label="Diagram"> </div> 请联系你的 NXP FAE 窗口，如果可以获得 i.MX8QXP MEK 板 D 版本，已经加入了此设计，并加了源端 50ohm 端接： <div data-bbox="715 1352 1273 1406" data-label="Text"> <p>PCIe Clock Source has two options: 1. Processor 2. external Clock generator. Option from external clock generator is provided as default.</p> </div> <div data-bbox="715 1487 1273 1675" data-label="Diagram"> </div> <table border="1" data-bbox="1283 1375 1538 1720"> <thead> <tr> <th rowspan="2">Option Resistors</th> <th colspan="2">Clock Source</th> </tr> <tr> <th>Processor</th> <th>Clock Generator</th> </tr> </thead> <tbody> <tr> <td>R1473</td> <td>POS B</td> <td>POS A</td> </tr> <tr> <td>R1474</td> <td>POS B</td> <td>POS A</td> </tr> <tr> <td>R1475</td> <td>POS B</td> <td>POS A</td> </tr> <tr> <td>R1476</td> <td>POS B</td> <td>POS A</td> </tr> <tr> <td>R1230</td> <td>MOUNT</td> <td>DNP</td> </tr> <tr> <td>R1231</td> <td>DNP</td> <td>MOUNT</td> </tr> <tr> <td>R1232</td> <td>MOUNT</td> <td>DNP</td> </tr> <tr> <td>R166</td> <td>DNP</td> <td>MOUNT</td> </tr> <tr> <td>R163</td> <td>DNP</td> <td>MOUNT</td> </tr> <tr> <td>R158</td> <td>DNP</td> <td>MOUNT</td> </tr> <tr> <td>R155</td> <td>DNP</td> <td>MOUNT</td> </tr> </tbody> </table> 经典 HCSL 的端接匹配，是可以在源端或是接收端，所以可以在 i.MX8QXP 源端先设计 50ohm 到地端接，如果接收端已经做了，可以 DNP，另外，串行电阻一般是 33ohm，但是实际测试中发现影响不大，i.MX8QXP 是使用了 0ohm 的选择电阻。	Option Resistors	Clock Source		Processor	Clock Generator	R1473	POS B	POS A	R1474	POS B	POS A	R1475	POS B	POS A	R1476	POS B	POS A	R1230	MOUNT	DNP	R1231	DNP	MOUNT	R1232	MOUNT	DNP	R166	DNP	MOUNT	R163	DNP	MOUNT	R158	DNP	MOUNT	R155	DNP	MOUNT
Option Resistors	Clock Source																																							
	Processor	Clock Generator																																						
R1473	POS B	POS A																																						
R1474	POS B	POS A																																						
R1475	POS B	POS A																																						
R1476	POS B	POS A																																						
R1230	MOUNT	DNP																																						
R1231	DNP	MOUNT																																						
R1232	MOUNT	DNP																																						
R166	DNP	MOUNT																																						
R163	DNP	MOUNT																																						
R158	DNP	MOUNT																																						
R155	DNP	MOUNT																																						

		<p>Figure 5. Traditional HCSL Termination</p>  <ul style="list-style-type: none"> ● 如果是使用外部时钟芯片，则不需要连接 50ohm 端接，因为芯片本身已经有了。 <p>总结：</p> <ul style="list-style-type: none"> ● 考虑PCIE认证和EMI要求，请尽量使用外部时钟芯片，相关认证说明请参考文档：AN12444.pdf 《PCIe Certification Guide for i.MX8 Serials》 ● 如果想使用内部时钟，时钟线上串0ohm或33ohm电阻，源端端接电阻50ohm两个到地，注意EMI风险，需要软件改动来输出时钟。
<p>PCIE 差分信号输出源端需要增加 AC 耦合，在 PCIE_TXP/N 上串联 0.22uF 电容</p>	<p>PCIE 规范要求差分信号源端增加 AC 耦合，接收端增加 DC 耦合。</p>	<p>理论上电容应尽量靠近源端</p> 
<p>PCIE_REF_QR管脚使用 453Ω, 1% 精度电阻到地。</p>	<p>管脚 F12</p>	 <p> $R_{ext} = 845$ $R_{ext} = 909$ $R_{ext} = 1.02$ </p>
<p>PCIE_REXT 管脚使用 845 Ω, 0.5% 精度电阻连接到 PCIE0_PHY_PLL_REF_RETURN</p>	<p>注意 i.MX8X 芯片封装使用 PCIe RX/TX 85ohm 差分阻抗，NXP 推荐外部 PCB 阻抗匹配使用相同值。</p>	 <p> $R_{ext} = 845\text{-ohm}$ for 85-ohm differential impedance. $R_{ext} = 909\text{-ohm}$ for 90-ohm differential impedance. $R_{ext} = 1.02\text{-kOhm}$ for 100-ohm differential impedance. </p>



USB 设计

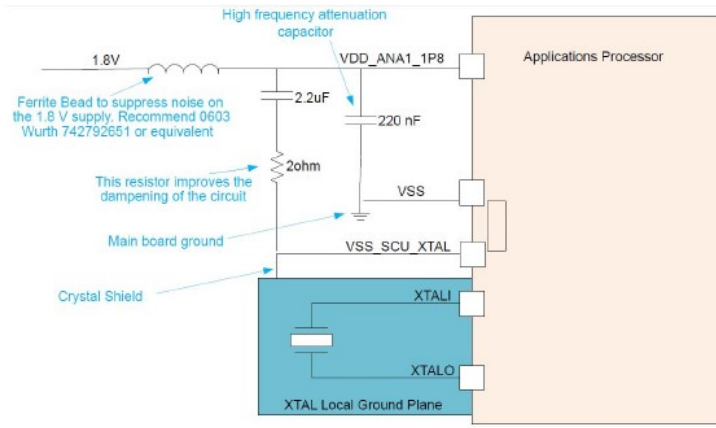
推荐	说明	例图及建议
注意 USB_OTG1/2	i.MX8X 使用两套 IP,	注意

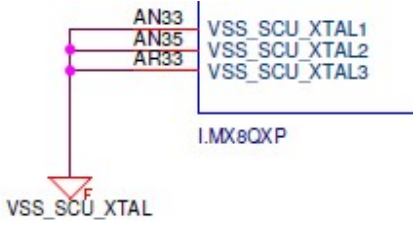
<p>VBUS/ID 电平</p>	<p>USB_OTG1 和 USB_OTG2/USB3 各一套，不同的 IP 对 USB_ID/VBUS 的电平要求不同。</p>	<ul style="list-style-type: none"> ● USB_OTG_ID 在 Device 模式下并不需要上拉，如果要上拉注意一下上拉电平是否正确。 ● USB_OTG1_VBUS 为 5V,所以如果是 OTG1 工作在 Device 模式时，OTG1 接口上的 VBUS 可以直接连接到芯片的 VBUS 管脚上。 ● USB_OTG2_VBUS 为 3.3V, 所以 VBUS 需要连接 3.3V, 不能直接连接到 OTG 接口上的 VBUS 5V。 <p style="text-align: center;">Table 33 – USB Pin Voltage Limits</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;"></th> <th style="width: 33%;">USB_ID PIN*</th> <th style="width: 33%;">VBUS</th> </tr> </thead> <tbody> <tr> <td>USB_OTG1</td> <td>1.8 V</td> <td>5.0 V</td> </tr> <tr> <td>USB_OTG2</td> <td>3.3 V</td> <td>3.3 V</td> </tr> </tbody> </table> <p><small>* In a typical application, the ID pin does not require a pull up. Floating results in device mode and grounded results in host mode.</small></p>		USB_ID PIN*	VBUS	USB_OTG1	1.8 V	5.0 V	USB_OTG2	3.3 V	3.3 V
	USB_ID PIN*	VBUS									
USB_OTG1	1.8 V	5.0 V									
USB_OTG2	3.3 V	3.3 V									
<p>根据 USB OTG 规范要求，在整板上电时，USB OTG 接口上的 Vbus 应该默认关闭</p>	<p>应该使用 i.MX8X 控制 VBus 开关，即如果 OTG 工作 HOST 模式，则 OTG 接口的 ID 管脚被拉到地，则 i.MX8X 通过一个 GPIO 通知电源开关为 VBus 上电。</p>										
<p>USB_OTG2_REXT 使用 499Ω, 1% 精度电阻到地</p>	<p>管脚 D14</p>										
<p>USB_SS3_REXT 使用 499Ω, 1% 精度电阻到地</p>	<p>管脚 E13</p>										
<p>USB 差分阻抗要求为 90ohm。</p>	<p>USB_OTG2 与 SS 一组，他们是一组 IP，不能将 USB_OTG1 与 SS 放在一起</p>										

<p>USB 接口上需要增加 ESD 保护器件，建议选择高速低容值器件。</p>		
<p>USB 连接建议</p>	<p>i.MX8X 可以提供两个 USB2.0 OTG 和一个 USB3 对</p>	<ul style="list-style-type: none"> ● 2 个 USB2.0 接口(OTG 或 Type-A):汽车应用常用，注意 VBUS/ID 的电平。 ● 1 个 USB2.0 接口和一个 USB3.0 接口(OTG 或 Type-A):汽车应用常用，注意 VBUS/ID 的电平。 ● 1 个 USB2.0 接口(USB_OTG1: OTG 或 Type-A),和 1 个 USB Type-C 接口: i.MX8QXP MEK 板就是如此设计，注意需要外接电路支持 Type-C, 并且 USB_OTG2 才能与 USB3 一对(同一 IP)

晶体时钟设计

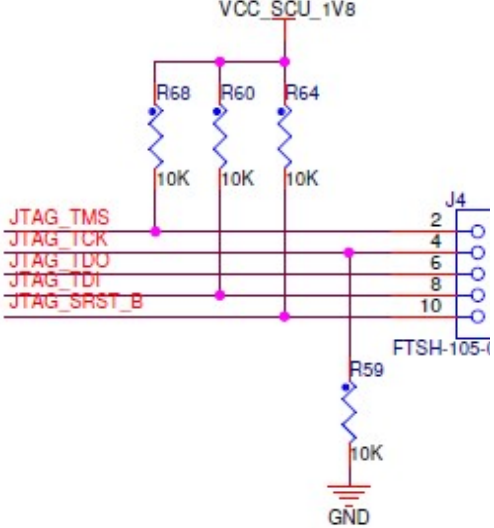
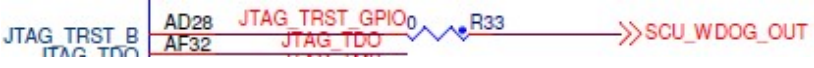
推荐	说明	例图及建议
<p>32K 晶体连接: 在 RTC_XTAL/XTALO 之间连接一个 32.768KHz 晶体</p>	<p>该晶体的 ESR 应小于 70 kΩ，额定驱动电平至少为 0.5μW。按照制造商的建议加载电容。在晶体和处理器之间直线尽量短，在晶体，负载电容和直线下有地平面。</p>	<p>参考数据手册 Table 24. OSC32K Main Characteristics 选择晶体，在 i.MX8QXP MEK 板的设计中没有使用负载电容，i.MX8X 内部和连线电容已经足够，建议按照 i.MX8QXP MEK 板的设计和手册要求选择晶体，建议加上负载电容设计再 DNP:</p> <p>MEK 板:</p>  <p>Validation 板:</p> 
<p>i.MX8X 内部晶振不建议使用</p>	<p>如数据手册说明</p>	<p>Additionally, if the clock monitor determines that the 32KHz oscillation is not present, then the source of the 32 KHz clock will automatically switch to the internal relaxation oscillator of lesser frequency accuracy. The internal oscillator provides an estimated frequency accuracy of ±5%, subject to silicon validation, and is affected by process, voltage and temperature variations. NXP strongly recommends using an external crystal to implement an oscillator. If the internal oscillator is used instead, careful consideration must be given to the timing implications on all of the SoC modules</p>

<p>如果不想使用 32K 晶体，而想使用外部晶振输入时钟，可以连接到 RTC_XTALI 上(RTC_XTALO 悬空)</p>	<p>外部时钟信号电平不能超 VCC_SNVIS_LDO_1V8，典型工况下频率不能超过 100kHz，否则可能导致误操作或芯片损坏，当 VDD_SNVIS_CAP 下电时，RTC_XTALI 也必须关电，否则可能导致误操作或芯片损坏。</p>	<p>dependent on this clock</p> <p>RTC_XTALI 的 VIL 和 VIH 电压要求，请参考数据手册：</p> <p style="text-align: center;">Table 25. External input clock for OSC32K</p> <table border="1" data-bbox="678 403 1532 533"> <thead> <tr> <th></th> <th>Min</th> <th>Typ</th> <th>Max</th> <th>Unit</th> <th>Notes</th> </tr> </thead> <tbody> <tr> <td>Frequency</td> <td>—</td> <td>32.768 or 32</td> <td>—</td> <td>kHz</td> <td>—</td> </tr> <tr> <td>V_{pp} RTC_XTALI</td> <td>700</td> <td>—</td> <td>VDD_SNVIS_1P8_CAP</td> <td>mV</td> <td>1,2,3</td> </tr> <tr> <td>Rise/fall time</td> <td>—</td> <td>—</td> <td>—</td> <td>ns</td> <td>4</td> </tr> </tbody> </table> <p>¹ The external clock is fed into the chip from the RTC_XTALI pin; the RTC_XTALO pin should be left floating. ² The parameter specified here is a peak-to-peak value and V_{IH}/V_{IL} specifications do not apply. ³ The voltage applied on RTC_XTALI must be within the range of VSS to VDD_SNVIS_1P8_CAP. ⁴ The rise/fall time of the applied clock are not strictly confined.</p> <p>4.5.1 XTALI and RTC_XTALI (Clock Inputs) DC Parameters</p> <p>For RTC_XTALI, V_{IH}/V_{IL} specifications do not apply. The high and low levels of the applied clock on this pin are not strictly defined, as long as the input's peak-to-peak amplitude meet the requirements and the input's voltage value does not exceed the limits.</p> <p>注意：</p> <ul style="list-style-type: none"> ● 使用外部时钟时 VDD_SNVIS_CAP 和 RTC_XTALI 有上下电时序要求，即 RTC_XTALI 有信号输入时要求 VDD_SNVIS_CAP 已经上电并稳定 		Min	Typ	Max	Unit	Notes	Frequency	—	32.768 or 32	—	kHz	—	V _{pp} RTC_XTALI	700	—	VDD_SNVIS_1P8_CAP	mV	1,2,3	Rise/fall time	—	—	—	ns	4	
	Min	Typ	Max	Unit	Notes																						
Frequency	—	32.768 or 32	—	kHz	—																						
V _{pp} RTC_XTALI	700	—	VDD_SNVIS_1P8_CAP	mV	1,2,3																						
Rise/fall time	—	—	—	ns	4																						
<p>24M 晶体连接： 在 XTAL/XTALO 之间连接一个 24MKHz 晶体</p>	<p>在选择 ESR 时，需要同时考虑负阻/ESR 和驱动电平。有关晶体的一般要求，请参阅数据手册。</p>	<p>芯片上的 24Mhz 振荡器模块集成了可微调负载电容的电容器和驱动电路，当连接合适的 24Mhz 外接石英晶体原件，可以产生低抖动时钟，振荡器电源为 VDD_ANA1_1P8:</p>  <p style="text-align: center;">Figure 2. Normal Crystal Oscillation mode</p> <p style="text-align: center;">Table 23. Crystal specifications</p> <table border="1" data-bbox="678 1568 1420 1713"> <thead> <tr> <th>Parameter description</th> <th>Min</th> <th>Typ</th> <th>Max</th> <th>Unit</th> </tr> </thead> <tbody> <tr> <td>Frequency¹</td> <td>—</td> <td>24</td> <td>—</td> <td>MHz</td> </tr> <tr> <td>Cl_{load}²</td> <td>—</td> <td>18</td> <td>—</td> <td>pF</td> </tr> <tr> <td>Maximum drive level</td> <td>200</td> <td>—</td> <td>—</td> <td>μW</td> </tr> <tr> <td>ESR</td> <td>—</td> <td>50</td> <td>—</td> <td>Ω</td> </tr> </tbody> </table> <p>¹ The required frequency accuracy is set by the serial interfaces utilized for a specific application and is detailed in the respective standard documents. ² Cl_{load} is the specification of the quartz element, not for the capacitors coupled to the quartz element.</p> <p>注意：</p> <ul style="list-style-type: none"> ● 请按照晶体选择要求严格选择晶体，或参考 MEK 板晶体选择。 	Parameter description	Min	Typ	Max	Unit	Frequency ¹	—	24	—	MHz	Cl _{load} ²	—	18	—	pF	Maximum drive level	200	—	—	μW	ESR	—	50	—	Ω
Parameter description	Min	Typ	Max	Unit																							
Frequency ¹	—	24	—	MHz																							
Cl _{load} ²	—	18	—	pF																							
Maximum drive level	200	—	—	μW																							
ESR	—	50	—	Ω																							

		<ul style="list-style-type: none"> ● 为了保险，建议设计加上负载电容，DNP。 ● 选择 cap loading 较大的 crystal(>12pf). 尽量使用内部的 cap, 不推荐把内部的 cap trim 成 0 来使用。
VSS_SCU_XTAL为悬空电路，不需要连接到VSS_MAIN上	PCB 布局要求将 VSS_SCU_XTAL 设计在 24Mhz 晶体与走线下面相邻的一个悬空层	<p>很多客户为询问为什么 VSS_SCU_XTAL 管脚是悬空的，这个是因为芯片内部已经将 VSS_SCU_XTAL 连接到了 VSS_MAIN，这个是晶体的保护地：</p> 

JTAG 信号端接设计

JTAG 调试接口一般不需要，可以连接出来到测试点，i.MX8QXP MEK 是设计了 JTAG 调试接口：

推荐	说明	例图及建议
JTAG_TCK(I)	外部 10kΩ 下拉	
JTAG_TMS(I)	外部 10kΩ 上拉	
JTAG_TDI(I)	外部 10kΩ 上拉	
JTAG_TDO(三态输出)	N/A	
JTAG_TRSTB(I)	i.MX8QXP 无此功能，此管脚为 WDOG 输出管脚，新的数据手册中已经修此管脚命名	

未使用接口管脚的端接处理

对于 i.MX8X 的某些不使用的功能(比如说做 TBox, 则 GPU 和显示接口不需要使用, 注意软件也需要移除掉相应驱动), 相应的 IO 管脚和功能模块的电源管脚可以端接, 不用连接, 以下说明电源和 IO 管脚在不使用时的处理方式:

电源: (注意, 从 FAE 的经验上来讲, 对于电源, 建议不要悬空, 不用的可以 10Kohm 到地, 这样一旦有问题, 有机会 rework, 请参考 layout 权衡考虑)。

推荐	说明	例图及建议
ADC	VDD_ADC_1P8	必须上电, 直接连接到 VDD_ADC_DIG_1P8
GPU	VDD_GPU(一共有 8 个电源管脚)	使用一个 10 kΩ 电阻下拉到地
Tamper/CSI	VDD_CSI_1P8_3P3, VDD_TMPR_CSI_1P8_3P3	不需要连接
MIPI-CSI & MIPI-DSI	VDD_MIPI_1P0, VDD_MIPI_1P8	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地
PCIe	VDD_PCIE_1P8, VDD_PCIE_LDO_1P0_CAP	不需要连接
USB PHYs	VDD_USB_OTG_1P0, VDD_USB_1P8, VDD_USB_3P3	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地 注意: <ul style="list-style-type: none"> ● 如果需要使用下载模式, 由于 ROM code 会轮询每一个 USB OTG 口, 如果某一个 OTG 口没电会失败挂死, 所以 USB_OTG1/2 都需要上电。(挂死失败时在 B0 的芯片中会触发 300ms 的 wdog reset, 可以看 WDI 有周期性的输出, 另外就是 USB_OTG 的 DP 信号应该是默认上拉, 然后由 PC 下拉, 但是在挂死时 DP 信号可能是按 300ms 周期重启, 出现上拉和下拉的方波) ● VDD_USB_SS3_LDO_1P0_CAP 必须有电, 连接到 USB_1P0 上 ● 如果 USB_OTG1/2 USB3 中要使用某个 USB 口, 则 USB PHYs 的电源就需要上电。 总结: 建议上电
USB OTG1	VDD_OTG1_VBUS	不需要连接 注意: <ul style="list-style-type: none"> ● 如果需要使用下载模式, 由于 ROM code 会轮询每一个 USB OTG 口, 如果某一个 OTG 口没电会失败挂死, 所以 USB_OTG1/2 都需要上电。 总结: 建议上电
USB OTG2	VDD_OTG2_VBUS	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地

		<p>注意:</p> <ul style="list-style-type: none"> ● 如果需要使用下载模式, 由于 ROM code 会轮询每一个 USB OTG 口, 如果某一个 OTG 口没电会失败挂死, 所以 USB_OTG1/2 都需要上电。 <p>总结: 建议上电</p>
数字I/O管脚电源	VDD_ADC_DIG_1P8, VDD_TMPR_CSI_1P8_3P3, VDD_CAN_UART_1P8_3P3, VDD_CSI_1P8_3P3, VDD_EMMC0_1P8_3P3, VDD_EMMC0_VSELECT_1P8_3P3, VDD_MIPI_CSI_DIG_1P8_3P3, VDD_MIPI_DSI_DIG_1P8_3P3, VDD_PCIE_DIG_1P8_3P3, VDD_QSPI0A_1P8_3P3, VDD_QSPI0B_1P8_3P3, VDD_SPI_MCLK_UART_1P8_3P3, VDD_SPI_SAI_1P8_3P3, VDD_USDHC1_1P8_3P3, VDD_USDHC1_VSELECT_1P8_3P3, VDD_ENET0_1P8_2P5_3P3, VDD_ENET0_VSELECT_1P8_2P5_3P3, VDD_ENET_MDIO_1P8_3P3, VDD_ESAI_SPDIF_1P8_2P5_3P3	<p>如果相应的数字 I/O 管脚没有使用, 则相应电源可以不连接。</p> <p>注意:</p> <ul style="list-style-type: none"> ● 如果电源不连接, 相应的 I/O 管脚一定不能连接。

模拟 I/O 管脚:

推荐	说明	例图及建议
ADC	ADC_IN[0:5]	不连接
	ADC_VREFH	直接连接到 VDD_ADC_DIG_1P8
	ADC_VREFL	直接连接到地
Tamper/CSI	CSI_D[0:7], CSI_EN, CSI_HSYNC, CSI_MCLK, CSI_PCLK, CSI_RESET, CSI_VSYNC	不连接
MIPI-CSI	MIPI_CSI0_CLK_P/N, MIPI_CSI0_DATAx_P/N	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地
MIPI_DSI	MIPI_DSIx_CLK_P/N, MIPI_DSIx_DATAx_P/N	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地
PCIe	PCIE_REF_QR, PCIE_REXT, PCIE_PHY_PLL_REF_RETURN, PCIE_REFCLK100M_P/N, PCIE0_TX0_P/N, PCIE0_RX0_P/N	不连接
USB2_OTG1	USB_OTG1_DP/DN, USB_OTG1_ID	不连接 注意:

		<ul style="list-style-type: none"> ● 如果需要使用下载模式，由于 ROM code 会轮询每一个 USB OTG 口，当第一个 OTG 口连接成功后，就会忽略另一个 OTG 口
USB2_OTG2	USB_OTG2_DP/DN, USB_OTG2_ID, USB_OTG2_REXT	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地 注意： <ul style="list-style-type: none"> ● 如果需要使用下载模式，由于 ROM code 会轮询每一个 USB OTG 口，当第一个 OTG 口连接成功后，就会忽略另一个 OTG 口
USB3	USB3_SS_REXT, USB_SS3_TX_P/N, USB_SS3_RX_P/N	使用一个或数个(取决于管脚分布)10 kΩ 电阻下拉到地
	USB3_SS_TCx	不连接

GPIO 管脚的设计策略

由于 i.MX8X 支持异构系统(Cortex A/M/DSP)和加密状态(ATF, OPTEE),这样主控系统和软件需要独门操作某个硬件模块，所以要特别注意 GPIO 的分配，因为 GPIO 由 8 组，每组 32 个 GPIO 构成，但是 XRDC 只能按组分配，所以要求把一组 GPIO 分配到一个系统中。比如：

- SCU.GPIO0 for SCU
- LSIO.GPIO0 for M4_0
- LSIO.GPIO1 for M4_1
- LSIO.GPIO2 for secure AP
- LSIO.GPIO3-6 for non-secure AP


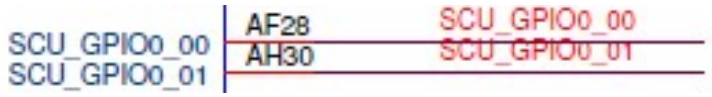
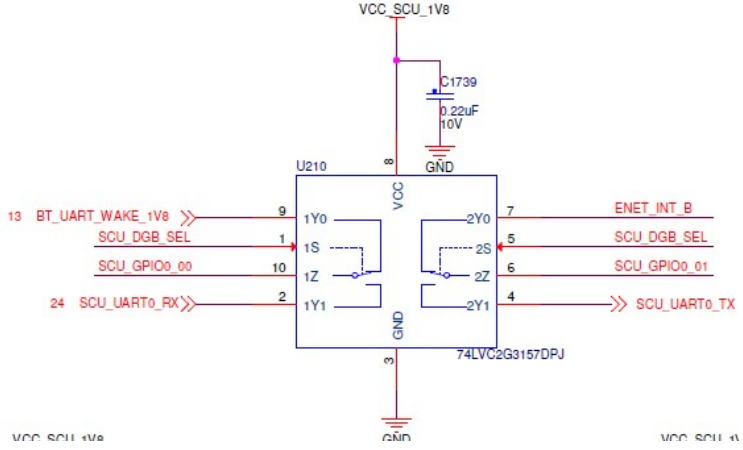
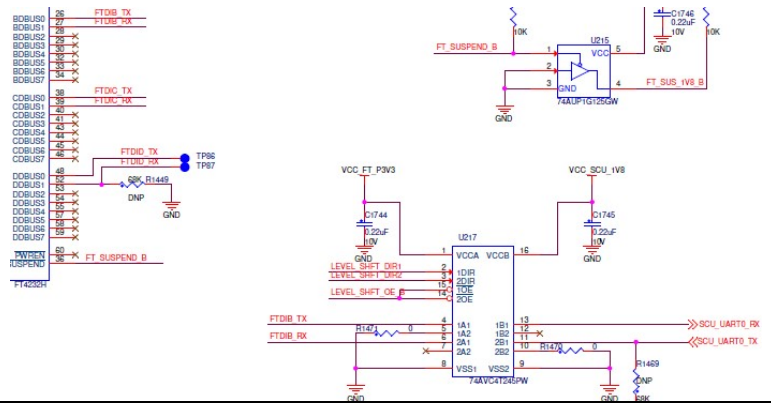
如果是使用一个 GPIO 去 reset 某个 IO 模块的外设，也需要与此 IO 模块在一个系统中。

GPIO 的电平会跟随相应 IO BANK 的电源，IO BANK 一般可以连接 3.3V 或 1.8V 电源，所以如果一个 GPIO 会用于某个 IO 模块的外设的连接，需要确认电源是否匹配。

如上章说明，数字 IO 管脚的电源可以关断，比如说在 Deep Sleep 模式下，如果在此模式下要维持 GPIO 的功能，相应的 IO Bank 电源需要供电，所以可以把这些 GPIO 设计为同一组电源，那其它的电源可以关掉。

调试接口建议

推荐	说明	例图及建议
JTAG	JTAG 不常用，可以连接出来到测试点	JTAG_TRSTB 管脚不需要，此为 WDOG 输出接口，此命令在新的芯片数据手册中已经修改
启动设备测试接口	<ul style="list-style-type: none"> ● eMMC_SD_CLK ● Nandflash_CE ● QSPI_CS or SCLK 	eMMC SD_CLK 上建议增加串阻，可以用于测试，也可以改善 EMI，其它如 nandflash 的 CE 管脚或 QSP 的 CS 或 SCLK 管脚，建议增加串阻用于测试。
调试串口	建议保持 SCU/M4/A 核	注意：建议 IOPAD 也不要修改

	<p>调试串口不变</p>	<ul style="list-style-type: none"> i.MX8QXP MEK C 版本: SPF-29683-C2. SCU&M4 共用一个调试串口:  i.MX8QXP MEK D 版本: SPF-29683-D1.(还未公开). SCU/M4/A 各设计了一个串口, 如果要调试 SCU/M4/A 核, 建议如此设计:   
<p>下载接口</p>	<p>可以使用 USB_OTG1/2 接口下载</p>	<p>注意:</p> <ul style="list-style-type: none"> i.MX8QXP MEK 的 USB_OTG1 设计在底板上, 可以直接使用。 i.MX8QXP MEK 在 USB_OTG2 和 USB3 上设计为 Type-C 对, 如果如汽车应用 设计为 USB_OTG2, 可以直接使用 USB_OTG2 下载, 注意需要修改软件。 参考 USB 电源一章, 建议都需要连接 USB_OTG1/2 电源
<p>启动设备</p>	<p>建议设计 SDcard, 这样不需要调试 uuu 下载工</p>	<p>注意: 默认 SD 工厂烧写模式使用的 USDHC1, 所以建议 SDcard 设计在这个接口上, eMMC 设计在另外 USDHC 接口上。</p>

具，如果使用 eMMC 启动，则需要在 bring up 时调试 uuu 镜像。

5.11 SD/MMC manufacture mode

When the Primary and Secondary Boot (if enabled) fails, and the SDMMC_MFG_DISABLE fuse bit 0x2[18] isn't set, boot goes to the SD/MMC manufacture mode (Recovery boot) before the serial download mode. In the manufacture mode, one bit bus width is used despite of the fuse setting.

In the manufacture mode, the SD or MMC card will be scanned on USDHC1. If a card is detected and a valid boot image is found in the card, the boot image is loaded and executed. Pad of SD1_DATA3 is used to detect whether a card is inserted or not. If SD/MMC manufacture mode boot fails, the ROM will go into Serial Download Boot if it has not been disabled by fuse.

启动配置

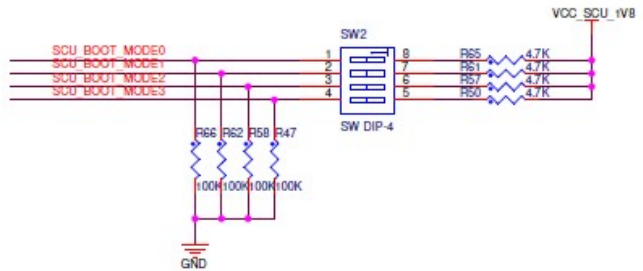
说明

Table 5-1. Boot MODE Pin Settings

BOOT_MODE[3]	BOOT_MODE[2]	BOOT_MODE[1]	BOOT_MODE[0]	Boot Mode
0	0	0	0	Boot from eFuse
0	0	0	1	USB Serial Download
0	0	1		USDHC Port 0 - eMMC0 Boot 1 - USDHC1 SD boot
0	1	0		Pages In Block: 0 - 128
			1 - 32	
0	1	1		Flash Type Selection 0 - Flash with 3B READ(0x03) default supported 1 - Hyperflash 3.0

i.MX8QXP MEK 使用拨码开关：

BOOT Selection Switches



```

SCU_Boot_Mode          3 2 1 0
-----
BOOT From Fuse ----- 0 0 0 0
Serial Download ----- 0 0 0 1
eMMC0 -----          0 0 1 0
SD1 boot -----       0 0 1 1
-----
NAND 8-bit 128page---- 0 1 0 0
NAND 8-bit 32page---- 0 1 0 1
-----
QSPI 3B READ ----- 0 1 1 0
  
```

产品上建议可以跳线在下载模式和启动设备启动模式间切换，注意因为有工厂模式，所以主设备启动失败后会首先尝试启动 USDHC 上的 SDcard。

4 i.MX8X 布线设计检查点

PMIC 电源输出端布线建议

1 通用摆放要求:

PF81/82 管脚扇出是按照最小四层布线要求的，但是一般推荐至少六层布线，i.MX8QXP MEK 板本身是八层布线的。叠层情况可以参考 i.MX8QXP MEK 的 Layout。

主要原器件和输出电源建议放在顶层，未使用区域建议敷铜。

输入电源建议放在底层，未使用区域建议敷铜。

内部信号层有参考地。

外部器件，特别是去耦电容，建议离芯片越近越好。

2 通用布线要求:

通孔内垫需要至少 4.5 mils 的环形环，管脚要比过孔大 9mils。

小于 5mils 线宽最大厚度 0.6oz。

最小线孔距 3.5mils。

最小线间距 3mils。

要注意 SW_xFB 的走线，这些信号易受噪音影响，所以建议远离电源，时钟或高功率信号，如 SW_xIN，SW_x，SW_xLX。

电源反馈电路在内层走线，以便屏蔽掉噪音节点。

避免 V1P5D/A 与大电流和高速开关电路耦合，如 SW_xLX。

确保一个电路模块中所有器件参考同一参考地，使用通孔连接最近的地平面，降低接地环路。

3 开关电源 DCDC 要求:

电源输入仅设计一个大电容，建议尽量设计靠近管脚，如果是要贴在反面，建议直接放在 PMIC 背面，使用足够的通孔连接到输入管脚。

输入端高频滤波电容建议小于 100nF，摆放在靠近芯片管脚或管脚正反面。

SW_xLX 回路尽可能设计得短又宽，以减小感抗，提高效率。

双向或四向开关 DCDC 大电流电源走线尽量对称。

Figure 8. Switching regulators placement and routing examples 请参考文档《AN12286.pdf》。

六层板 PCB layout 示例请参考文档《AN12286.pdf》，八层板的请参考 i.MX8QXP MEK 板。

i.MX8X 端去耦电容摆放

将小的去耦电容和大一点的 bulk 电容摆放的 PCB 底面，0201 和 0402 的去耦电容和 0603 及更大的 bulk 电容应尽量靠近电源通孔的位置，距离小于 50mil。额外的 bulk 电容可以通过阵列放置在 BGA 的边缘附件。将去耦电容放置在电源管脚附件，可以最小化感抗，对确保处理器芯片所需要的高速瞬态电流至关重要。请参考 i.MX8QXP MEK 板 layout 了解去耦电容布局。

正确的通孔尺寸对于保证足够的直线空间至关重要，i.MX8QXP 建议使用英制 18r10 通孔(10 mil 直径钻孔，18mil 环形环)。也可以使用 18r8 通孔。

以下列出正确的去耦方案的主要建议：

- 选择预算允许和厂家可以提供的最小封装尺寸，电容值最大的电容。
- 对于高速旁路，选择要求容值下最小封装的电容（如：0201 封装中 0.1uF,0.22uF,1.0uF,2.2uF, 甚至 4.7uF）。
- 最小化电容到管脚的走线（减小感抗）。
- 串联电感抵消电容。
- 直接将电容通过一个通孔连接到地平面上。
- 根据原理图设计，将电容尽量靠近电源管脚。
- 参考 i.MX8QXP MEK 及硬件设计指南要求来设计电源与去耦。

注意：

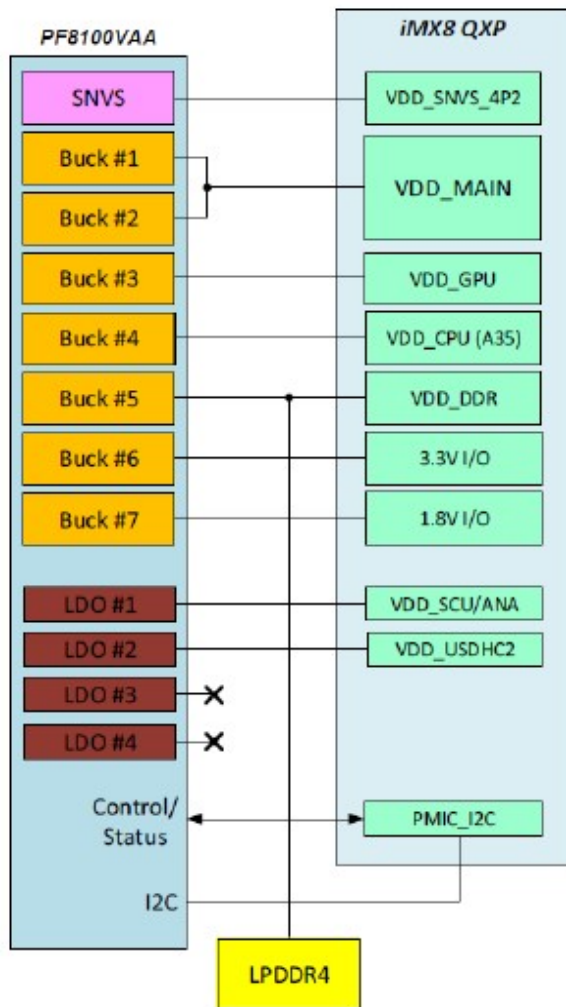
- 考虑到成本和制造工艺，i.MX8QXP MEK 采用最小为 0402 的去耦电容，如果可以使用 0201 的封装，这样的电容感抗更小，尺寸更小，可以在处理器背面放更多的去耦电容。

电源布线建议

为 i.MX8 QXP 提供干净、可靠的电源对成功的电路板设计至关重要。PCB PDN 的设计应能容纳从每个 PMIC 输出电源到 i.MX8 电源管脚的最大输出电流。i.MX8 QXP 最大电流要求如下：

电源输出	i.MX8QXP 最大电流要求
VDD MAIN	5A
VDD GPU	2.5A
VDD A35	2.5A
VDD DDR VDDQ	2.5A

i.MX8QXP+PF8100/8200 电源分布图如下：



设计一个好的电力传输网络（PDN）需要完成多个步骤。这些步骤包括：

1. 选择一个好的 PCB 堆叠（足够的铜厚度和层分配/利用率）
2. 优化 PDN 的布局 and 走线。这包括放置好去耦电容器，并将其连接到尽可能短和宽的电 源接地平面（因为较长蚀刻的电感增加会降低电容器的有效性）。建议参考 NXP 开发平台上使用电容器的数量/位置。
3. 优化静态 IR 下降。这涉及到使用非常宽的走线/平面对大电流电源网络布线，并确保电源网络层转换上有足够数量的通孔。应尽量减少电源平面瓶颈，并尽量减少电流密度。电路板上的最大静态 IR 压降应为此电源电压的 1%（即，在 1.1V 电源上，最大压降应为 0.011V）。
4. 交流谐振检查-不同频率下的目标阻抗应接近或低于规定值。i.MX8 QXP PCB 设计的指定电源域的阻抗目标与频率的关系见下表：

Supply Input	< 20 MHz (max mΩ)	20 ~ 100 MHz (max mΩ)
VDD MAIN	11 mΩ	50 mΩ
VDD DDRIO	20 mΩ	84 mΩ
VDD GPU 1P1	21 mΩ	107 mΩ
VDD CPU 1P1	24 mΩ	133 mΩ

具体布线示例参考 i.MX8QM/X 硬件设计指南文档。

PCB 叠层建议

对于 21x21 封装的 i.MX8X 处理器，在 i.MX8QXP MEK 板上使用的是 8 层叠层，需要有足够数量的层用于电源层布线，以确认保 i.MX8X 的 CPU 电源直线的 IR 跌落小于 1%。可以增加电源层的铜箔厚度来提供额外的载流能力。

设计叠层和板材选择的考虑如下：

- PCB 叠层对高速信号质量至关重要。
- 预先规划好关键走线的阻抗匹配。
- 高速信号必须在相邻层有参考平面，以尽量减少串扰。
- 必须使用满足 i.MX8QXP 的高速接口所需要保证的良好的传输质量的 PCB 板材。i.MX8QXP MEK 板使用 Megtron 6。

（FR4 是以环氧或改性环氧树脂作为黏合剂，玻纤布作为增强材料的一种，也就是说只要使用这种体系的材料都可以叫做 FR4，所以 FR4 是这种树脂体系的统称。FR4 可以根据几种类型来分类，如果按照供应商所用树脂体系及其性能分类，则松下 Panasonic 提供的为：Megtron4/M4S/Megtron6/M6G/M7E/M7NE）。

i.MX8QXP MEK 板的叠层参考请参考 layout 文件和硬件设计指南。

内存布线通用建议

i.MX8QXP 支持 LPDDR4 和 DDR3L，两种内存要求信号管脚不同，所以 i.MX8QXP 有 33 个通用管脚，可以支持两种不同的内存，对照表请参考硬件设计指南的 Table 16 – DDR3L/LPDDR4 Connectivity。

当对 LPDDR4/DDR3L 设计走线时进行等长匹配时，i.MX8QXP 要求将封装内部的 bond 线长也要计算进来，硬件设计指南的表 18 列出来晶原到封装管脚的线长度与传播时间。Table 18 – i.MX8 QXP DDR 21 x 21 mm Package Trace Lengths/Delays。

i.MX8QXP 的内存控制器和 PHY 可以校准（训练）单个 DQ/CA 走线的等长不匹配的情况，但 NXP 建议设计时尽量考虑等长匹配，因为校准只能在有限的皮秒数目范围内纠正。良好的等长

匹配可以比校准所得到的时序匹配更加准确。长度匹配要求每一组信号中的所有数据线，或命令/地址线，及将这些信号的锁定到内存的选通/时钟信号一起匹配。

信号总长包括： $\text{Total Length} = \text{PCB Length} + \text{Pkg Length} + 2 \times \text{Via Length}$ 。

- PCB Length: 可以从 Allegro PCB 文件直接得到。
- Pkg Length: 可以从表 18 得到。
- 2 x Via Length: 可以从板叠层得到，（计算信号在通孔中走过的所有铜箔和介质厚度，X 2 是因为来回穿过两次）。

等长要求为针对真实的时钟信号，正负误差在 1 皮秒，也就是大概 6mil 之类。参考硬件设计指南：Table 21 – LPDDR4 Length Matching Example (Byte Lane 1 Signals)。

- 推荐客户用延迟来替代 pcb 上的长度, 那样更精准一些

LPDDR4 内存布线建议

以下为 i.MX8QXP LPDDR3 布线建议列表：

- Layout 工程师和设计团队拥有 1.2GHz/2400MT/S 的高速 DDR 信号设计经验。
- 使用具有良好介电常数的 PCB 材料（即所需的小于 3.7@5 GHz）。一些例子是 Megtron6、ThunderClad2、MCL-HE-679G。
- 在管脚扇出后，要求 3 倍线间距(相邻两线中点距离为线宽的 3 倍)。特殊声明除外。
- 每一条端到端走线或差分对走线通过的通孔数目小于 2 个。
- i.MX8QXP 设计及仿真时采用 18r10 英制通孔。
- 同组 DQS/DMI 信号要求相同的通孔和换层数。
- 在切换参考平面时，在信号通孔 40mil 以内要求设计至少一个接地孔。
- 等长匹配要求计算进 PCB 长度和芯片封装内 bond 线长度。
- 等长匹配要求计算进过孔长度。
- 建议将封装长度合并到 CAD 工具的约束管理器中。
- 每一个 16 位通道内的两个字节可以交换，不可以跨通道交换。
- 每一个字节内的 Bit 可以交换，以方便 layout, 不过建议按照 i.MX8QXP MEK 的设计来交换 Bit, 这样不需要修改 DDR 配置中的 Bit swap 一节，详情参考文档《MX8X_内存配置与测试应用手册*》。
- 所有的走线都需要参考接地平面，确定阻抗时仅参考接地平面。
- 由于封装设计的原因，不支持将 1.1V 电源平面作为唯一信号返回路径。

- 必须要做 LPDDR4 的高速信号仿真！IBIS 模型可以从 NXP 公网下载。
- DCF09/25 管脚必须悬空，LPDDR4 上的 ODT_CA 管脚直接连接到 VDDIO 上。
- 通常建议 200 个管脚的 LPDDR4 放置在离 i.MX8QXP 距离 100 mils。
- DBI(data bus inversion)功能使用软件使能。

i.MX8QXP+LPDDR4-2400 等长要求如下：

Table 23 – i.MX8 QXP LPDDR4-2400 Routing Recommendations

LPDDR4-2400				
LPDDR4 signal (each 16-bit channel)	Group	PCB and Package Prop Delay		Considerations
		Min	Max	
CK_t/CK_c	Clock	Short as possible	225 ps	Match the true/complement signals within 1.5 ps (PCB + package)
CA[5:0]	Address/ Command/ Control	CK_t + package length -1.5 ps	CK_t + package length + 1.5 ps	Keep max delay skew of CA/CTL bus within ± 1.5 ps of CK_t. Suggest incorporating package lengths into the constraint manager
CS				
CKE				
DQ[7:0]	Byte 0	Short as possible	300 ps	Keep max total PCB + package length skew of each DQS/DQ/DMI slice within ± 1.5 ps. Suggest incorporating package lengths into the constraint manager
DM0				
DQS0_t/DQS0_c				
DQ[15:8]	Byte1	Short as possible	300 ps	Keep max total PCB + package length skew of each DQS/DQ/DMI slice within ± 1.5 ps. Suggest incorporating package lengths into the constraint manager
DM1				
DQS1_t/DQS1_c				

DDR3L 内存布线建议

以下为 i.MX8QXP DDR3L 布线建议列表：

- Layout 工程师和设计团队拥有 933MHz/1866MT/S 的高速 DDR 信号设计经验。
- 使用具有良好介电常数的 PCB 材料（即所需的小于 3.7@5 GHz）。一些例子是 Megtron6、ThunderClad2、MCL-HE-679G。
- 在管脚扇出后，要求 3 倍线间距(相邻两线中点距离为线宽的 3 倍)。特殊声明除外。DDR3L 的地址/控制/命令 信号可以按 2W 原则走线，走线和地平面之间的介质距离可以为 1W。
- 每一条端到端走线或差分对走线通过的通孔数目小于 2 个。
- i.MX8QXP 设计及仿真时采用 18r10 英制通孔。
- 同组 DQS/DM 信号要求相同的通孔和换层数。
- 在切换参考平面时，在信号通孔 40mil 以内要求设计至少一个接地孔。
- 等长匹配要求计算进 PCB 长度和芯片封装内 bond 线长度。
- 等长匹配要求计算进过孔长度。

- 建议将封装长度合并到 CAD 工具的约束管理器中。
- 每一个字节内的 Bit 可以交换，以方便 layout, 不过建议按照 i.MX8QXP MEK 的设计来交换 Bit, 这样不需要修改 DDR 配置中的 Bit swap 一节，详情参考文档《MX8X_内存配置与测试应用手册*》。
- 所有的走线都需要参考接地平面，确定阻抗时仅参考接地平面。
- 由于封装设计的原因，不支持将 1.35V 电源平面作为唯一信号返回路径。
- 必须要做 DDR3L 的高速信号仿真！IBIS 模型可以从 NXP 公网下载。

i.MX8QXP DDR3L validation 板上采用了三片 DDR3L, fly-by 拓朴结果，实际使用中一般是 i.MX8DX 使用一片 DDR3L, 点到点结构。所以不需要做端接。

i.MX8X+DDR3L 的等长要求如下：

Table 24 – i.MX8 QXP DDR3L-1866 Routing Recommendations

DDR3L-1866 Fly-by				
DDR3L	Group	PCB and Package Prop Delay		Considerations
		Min	Max	
CK_t/CK_c	Clock	\	1100ps	Match the CK_t/CK_c within 2ps for each DDR3L sub-end. Incorporate Package Length into constraint manager.
ADDR[15:0]	Address Command Control	CK_t - 2ps	CK_t + 2ps	Keep max delay skew of ADD/CTL/CMD bus within $\pm 2ps$ of CK_t for each DDR3L sub-end. Incorporate Package Length into constraint manager.
BA[2:0],CAS,RAS,WE				
CKE,CS,RESET,ODT				
DQ[7:0]	Byte 0	Short as possible	300ps	Keep max delay skew of DQS/DQ/DMI within $\pm 2ps$. Incorporate Package Length into constraint manager.
DMI0				
DQS0_t/DQS0_c				
DQ[15:8]	Byte 1	Short as possible	300ps	
DMI1				
DQS1_t/DQS1_c				
DQ[23:16]	Byte 2	Short as possible	300ps	
DMI2				
DQS2_t/DQS2_c				
DQ[31:24]	Byte 3	Short as possible	300ps	
DMI3				
DQS3_t/DQS3_c				
DQ[39:32]	Byte 4 (ECC)	Short as possible	300ps	
DMI4				
DQS4_t/DQS4_c				

内存信号完整性仿真建议

内存信号完整性仿真结构包括 i.MX8X DDR 控制器，PCB 和内存三要素。i.MX8X 和内存的 IBIS 模型分别从其官方网站上下载。

如下检查内存 layout 的仿真性能：

1. 提取 S 参数

- 使用如 Cadence PowerSI 等 2.5D 全波提取工具
- 带宽设置为 12GHz.

- 信号参考阻抗为 50ohm.电源为 0.1ohm。
- 耦合方式：上升时间设为 20ps，耦合系数设为 1%

2. 执行时域仿真

- 激励模式：500 位随机码，同一字节内每个信号的格式不同。
- 理想电源
- 发射源端驱动能力为 40ohm,接收端端接为 60ohm。
- 在晶圆处探测
- 仿真最差的情况（最慢或最快的转角）
- 按照时序要求(DQS/CLK)触发眼图
- 有关 Rx 掩码定义，请参阅相应的 JEDEC 标准：对于 LPDDR4，请参阅 JESD209-4A；对于 DDR4，请参阅 JESD79-4A；对于 DDR3L，请参阅 JESD79-3F

注：S 参数即是一种描述电阻在表现为射频特性的高频信号激励下的电气行为的工具，而且它的描述的方法是以电阻对入射信号作出“反应”即“散射”后，从电阻“外部”“散射”出的可测量的物理量来实现的，测量到的物理量的大小反应出不同特性的电阻会对相同的输入信号“散射”的程度不一样，这种不一样的散射程度就可以用来描述电阻的特性，而且这种表达方法已成为作为一种非常有用的电气模型。

仿真眼图宽度建议：

i.MX8QXP LPDDR4 Simulations – 1.2 GHz		
	JEDEC Specifications	Simulation Recommendation
CA Eye Width	Min: 500 psec	> 720 psec
DQ Write Eye Width	-	> 338 psec

i.MX8QXP DDR3L Simulations – 933 MHz		
	JEDEC Specifications	Simulation Recommendation
CA Eye Width	-	> 980 psec
DQ Write Eye Width	-	> 468 psec

注意：NXP 的仿真目标比 JEDEC 要求更严，因为我们考虑的是理想电源，这样可以确保在实际生产时满足 JEDEC 要求。

内存 JEDEC 信号兼容性测试

i.MX8 系列芯片的内存控制器设计及测试标准是按照：

- JEDEC JESD209-4A： LPDDR4
- JEDEC JESD79-3F DDR3L

要求，相关时序和公差要求请参考相关规范说明。

满足 DDR 内存系统所需的时序要求在很大程度上取决于所选元器件和整个系统的 Layout。NXP 无法在本文件中涵盖实现设计所需的所有要求，以满足在温度、电压和元器件型号不同情况下的完整系统性能；PCB 布线、PCB 介质材料、使用的布线层数量、通孔布局、地和电源平面布局及在关键电源上放置 Bulk/去耦电容器，DDR 控制器/PHY 寄存器的设置都是影响内存系统性能的因素。

然而，本硬件用户指南包含大量有价值的设计信息，NXP 相信这些信息将有助于设计工程师开发符合 JEDEC 标准的 DRAM 内存系统。NXP 已经验证了的开发板的设计布局，以便客户获取有关如何正确设计 PCB 以获得最佳 DDR 性能的信息。NXP 强烈建议在设计关键电源走线、在处理器和选定的 DDR 内存之间放置 Bulk/去耦电容器和 DDR 走线设计时，尽可能复制经 NXP 验证的设计。

客户有时候报告的芯片在自己板上的有关 DDR 的问题，往往在 FA 过程中在 NXP 开发板上验证是正常工作的，并不是有问题器件。客户有责任正确设计印刷电路板，正确模拟和建模所设计的 DDR 系统，并在产品投放市场之前在所有预期操作条件（温度、电压）下验证系统。

高速电路板布线建议

高速信号设计的通用信息，请参考 NXP 应用文档：

<https://www.nxp.com/docs/en/application-note/AN12298.pdf>

以下列出了高速信号设计的一般建议。请注意，信号传输延迟和阻抗控制应匹配，以确保与设备的正确通信：

- 高速信号（DDR, PCIe, RGMII, MIPI, USB）不得穿过参考平面中的间隙。
- 避免在参考平面中创建槽、空隙和裂缝。检查通孔的放置情况，以确保它们不会无意中造成裂缝/空隙（如移走参考平面过孔，以消除这种可能性）。
- 当信号在不同的参考接地平面之间切换时，确保在距离高速信号上的过孔 50 mils 的范围内存在参考的接地过孔。
- 晶体及附属元器件，和直线下要有统一的参考地平面。
- 同一层时钟及锁定信号之间的距离大于 2.5 倍线宽，信号与参考平台间也要大于 2.5 倍线宽，以减少串扰。
- 所有的同步接口信号应确保数据线和时钟线的等长匹配。

对 SDCARD 元器件要求：

- 确保数据与时钟线等长要求，具体要求多少要参考实际运行速度。
- 时钟信号要比最长的数据/命令信号线更长，（+5mils）。

时钟建议

24Mhz 时钟信号公差要求如下：

Table 25 – 24 MHz crystal tolerance guidelines

Interface	Tolerance (± ppm)
Ethernet	50
HDMI	100
PCIE	150
SATA	350
USB2.0	150
USB3.0	150

i.MX8QXP 可以接 32K 晶体，或使用外部 32K 时钟输入：使用 1.8V 电平时钟输入到 RTC_XTALI 管脚，RTC_XTALO 悬空。

如果使用 3.3V 的 32K 时钟输入，可以增加一个 74AUP1G04 反向器，他可以接收更高电压的信号输入：

- 连接 3.3V 32K 时钟到 74AUP1G04 的输入脚。
- 输出脚连接到 RTC_XTALI 管脚，RTC_XTALO 悬空。
- 74AUP1G04 电源连接为 1.8V，地接系统地。

有关选择 24 MHz 和 32.768 KHz 晶体的指南，请参阅相应的 i.MX8 数据手册。i.MX8 内部振荡器选择合适的晶体元件十分重要。NXP 建议通过参考 NXP 的 i.MX8 MEK 板参考设计选择晶体。

24mhz 振荡器的启动时间由 ROM 代码监控，它必须在 POR_B 释放后 5 毫秒内保持稳定，否则启动过程将失败。如果晶体启动违反此限制，将发生重启。较长的启动时间与具有较高串联电阻的晶体有关。选择 ESR 不超过 60 欧姆的晶体是很重要的。更高的负载电容也会导致更长的启动时间。在选择所需的内部负载电容器时，必须考虑 PCB 和零件中存在的寄生电容。然而，正确的工作频率也取决于负载电容，为启动原因选择太小的值可能会导致不正确的工作频率。选择正确的晶体负载电容（CL）是任何振荡器设计的重要组成部分，因为它会影响时钟性能、稳定性和启动时间。通常，较高的 CL 值应用于更高的时钟性能，但由于许多因素（包括电路板布局）会影响性能，NXP 建议与选定的晶体供应商一起进行表征测试。

i.MX8 QXP 都为 24mhz 和 32.768khz 振荡器设计提供可编程内部负载电容器。虽然可以使用外部负载电容器，但 NXP 已将此模块设计为使用内部电容器，因为它们受外部因素的影响较小，同时提供整体成本节约。24 MHz 的（20pF）和 32.768 KHz 的（16pF）为振荡器默

认内部 CL 值。如果在晶体表征测试完成后，确定默认值不合适，则可以使用 fuse 设置（fuse 排索引 768）来微调内部 CL 值。默认值是专门为 MEK 参考设计而选择的，一般来说，对于其他部件来说应该足够好。

注意：

在编程微调值时，应包括寄生（杂散）电容的影响，通常为 4 至 5pF，例如 $CL=(CL1+CL2)$ 除以 2+寄生电容。

Table 26– Fuse Row Index 768

Bits	Description
31	BRD_OSC_24M_TRIM_VALID 0 – use 20pF default value 1 – use TRIM_VALUE_24M
30	Reserved (MUST BE 0)
29	BRD_OSC_32K_TRIM_VALID 0 – use 16pF default value 1 – use TRIM_VALUE_32K
28..20	Reserved
19..16	BRD_OSC_CAP_TRM_VALUE_32K See Table yy
15..4	Reserved
3..0	BRD_OSC_CAP_TRIM_VALUE_24M See Table zz

注意：fuse 索引 768 是一个一次性可编程的 32 位字，编程位 30 从 0 到 1 可能导致无法引导和需要更换的部件。

Table 27– BRD_OSC_CAP_TRM_VALUE_32K

BRD_OSC_CAP_TRM_VALUE_32K[19..16]	CL1 and CL2 capacitance
1000	0pF
1001	2pF
1010	4pF
1011	6pF
1100	8pF
1101	10pF
1110	12pF
1111	14pF
0000 (default)	16pF
0001	18pF
0010	20pF
0011	22pF
0100	24pF
0101	26pF
0110	28pF
0111	30pf

Table 28 – BRD_OSC_CAP_TRM_VALUE_24M

BRD_OSC_CAP_TRM_VALUE_24M[3..0]	CL1 and CL2 capacitance
0000	0pF
0001	2pF
0010	4pF
0011	6pF
0100	8pF
0101	10pF
0110	12pF
0111	14pF
1000	16pF
1001	18pF
1010 (default)	20pF
1011	22pF
1100	24pF
1101	26pF
1110	28pF
1111	30pf

注意：32K 微调值是默认值 16pF 的有符号偏移量，而 24M 微调值是从 0 开始的无符号偏移量。

fuse 可以通过多种方式编程，例如使用 SCU scfw 命令 fuse.w fuse_row_index value 和 fuse.r fuse_row_index 或使用 uboot 命令 fuse prog 0 fuse_row_index value 和 fuse read 0 fuse_row_index。

信号线阻抗建议

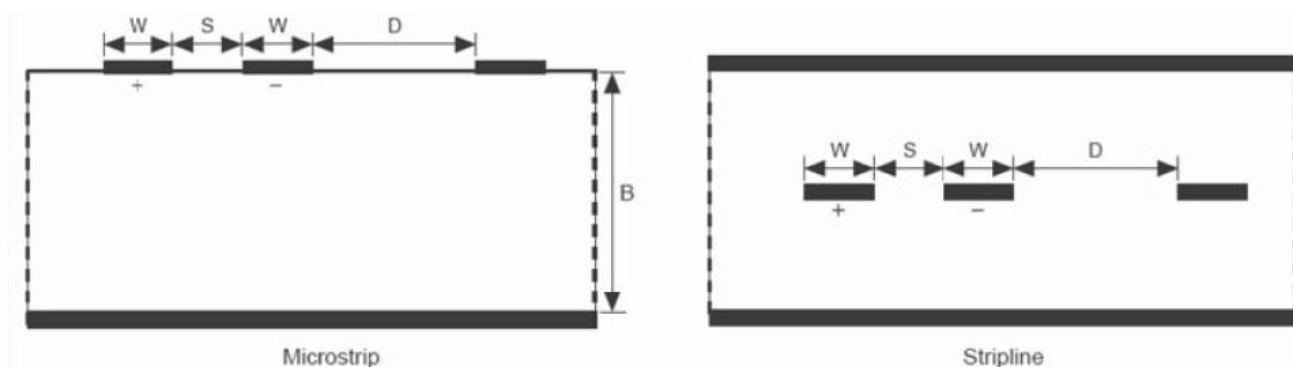
高速信号线阻抗要求 如下：

Table 29 – Trace Impedance Recommendations

Signal Group	Impedance	PCB Manufacturer Tolerance (+/-)
LPDDR4 signals (other than differentials)	42Ω Single-ended (QXP)	10%
	42-44Ω Single-ended (QM)	
All user-critical signals, unless specified	50Ω Single-ended	10%
DDR (QM), PCIe transmit/receive data pairs	85Ω differential	10%
DDR (QXP), USB differential signals	90Ω differential	10%
Differential signals, including Ethernet, PCIe clocks, LVDS, MIPI (CSI and DSI), and SATA	100Ω differential	10%

注意：

- 两个相邻差分对之间的间距应大于或等于两个差分对之间间距的两倍。
- 两个差分对之间间距应小于差分信号线宽度的两倍。
- LVDS 对之间的偏差应在最小建议值 (± 100 mil) 范围内。



For better coupling within a differential pair, make $S < 2W$, $S < B$, and $D = 2S$ where:

W = width of a single trace in a differential pair
 S = space between two traces of a differential pair
 D = space between two adjacent differential pairs
 B = thickness of the board

USB 布线建议

USB 布线建议：

- 首先布局 DP/DM 和 SS_TX/SS_RX 差分对。
- 如果可能的话，将 DP/DM 和 SS U TX/SS U RX 信号设计在板的顶层或底层。
使 DP/DM 和 SS_TX/SS_RX 走线尽可能短。
设计 DP/DM 和 SS_TX/SS_RX 信号走线时，使用拐角数量尽量少。用 45 转角代替 90 转角。
最小化 DP/DM 和 SS_TX/SS_RX 信号上的层切换（通过过孔）。不要在信号线上设计突起或分支。
DP/DM 和 SS_TX/SS_RX 信号的道宽和间距应满足 90Ω 的差分阻抗要求。
- 参考地或电源平面要连续。信号线不应通过任何电源/地平面的插槽或电源分割槽。
- 放置连接器时，确保每个通孔销周围的接地平面间隙在所有销之间具有接地连续性。
- 保持 DP/DM 和 SS_TX/SS_RX 之间的平行度（倾斜匹配），并将总差分长度差匹配到小于 5 mils。
- 保持每个差分对的对称走线。
- 不要在时钟器件下或平行于时钟信号线和/或数据信号线的情况下设计 DP/DM 和 SS_TX/SS_RX 信号线。
- 尽量减少与 DP/DM 和 SS-TX/SS-RX 信号与并行的其它高速信号的并行长度。
- 当在不同参考接地平面之间切换时，在距信号层过孔 50 mils 的距离内提供接地参考孔。
-

5 i.MX8X 硬件散热设计

本章原始出处：<https://community.nxp.com/docs/DOC-341651>（翻译：Lambert Zhang 校准：Leo Pan）

介绍：随着 SOC 的复杂性和性能不断提升，系统设计中热设计的重要性也逐渐凸显而无法忽视。如果系统需要在长时间运行时保持高性能，而且/或者需要在高温环境下运行，那么散热器通常是必不可少的。然而，在要求没那么高的应用系统中，通过遵从良好的设计原则，其也可以依赖 PCB 来散热。

PCB 面积

PCB 的尺寸直接影响其散热能力。板子越大，用来把元器件产生的热分散开来的面积就会越大，也会更有效的把热扩散到空中。

铜箔体积

铜箔的体积也会影响 PCB 板的散热能力。PCB 板铜箔的体积越大，其可吸收的热就越多，这样系统就可以在更长时间保持高性能运行。PCB 板铜箔体积的增加，可以通过加大 PCB 板的面积，增加接地层的层数，以及增加电源层和接地层的铜箔厚度，等等手段来实现。

热阻

相对于通常的 PCB 板尺寸，半导体芯片的裸片是非常小的，这就导致大量的热量从芯片的裸片传递到其封装及其临近区域，因此芯片内部散热通道的热阻会导致很大的温度梯度。这就是芯片的裸片与其封装和外部系统之间温度落差很大的原因。降低热阻最有效的手段就是在温度梯度最大的地方进行处理。因此，为了有效地把热传导到 PCB 板上，就应该降低高性能器件和 PCB 板之间的热阻。这可以通过利用器件的所有接地引脚和使用具有良好导热性能的底部填充材料来实现。把散热器通过具有良好导热性能的材料（比如导热膏）装在芯片表面可以进一步降低热阻。如果散热器同时以热传导方式连接到 PCB 板，那么就会提供额外的散热通道，从而进一步降低整体热阻（就像通过并联电阻减小整体电阻一样），任何低热阻材料中间隙都是不允许的。在 PCB 板子上尽可能多地提供冗余散热通道。在发热的源头散热，不仅可以在靠近芯片处降低热阻，同时也提供更广阔的空间以便进一步散热。在靠近芯片的裸片及其封装的地方降低热阻是获取良好散热性能所必需的。

在 PCB 板的内部也必须保持低热阻，为此可以通过适当增加散热过孔将所有接地层连在一起，从而使其在各层间均匀散热。前面第二点中的提议也可降低热阻。PCB 板电介质的导热特性也需要考虑，必须注意的是电介质的导热特性在水平方向和垂直方向是有差异的。

电源网络设计

现今的功率电子器件具备很低的导通电阻，因此为这些功率器件输送电流的 PCB 板走线和连接器引脚很大的可能会比这些功率晶体管自身为系统贡献更大的欧姆损耗。这样的热损耗可以通过提高 PCB 板走线宽度来避免。降低走线的欧姆损耗可能是降低系统整体功耗的最低成本的方法。网络上很容易找到可以计算 PCB 板走线宽度及预测其温升的相关计算器。使用较大功率的晶体管可以有效地降低其自身损耗。

高性能器件的位置摆放

高性能器件必须放在 PCB 板的中央以使热量可以有效地向各个方向传导。如果将发热器件放在 PCB 板的边缘甚或角落，其会极大地降低器件将热量传导到 PCB 板以及 PCB 板自身的散热能力，因为热量无法往 PCB 板的边缘传导，这会在 PCB 板上形成局部热灶。

将发热器件尽可能远地分开摆放以降低相互间的热耦合。功率耗散器件附近的温度梯度很高，即使一点小间隔也可以有助降低热耦合。

PCB 环境

PCB 板的周边环境会影响其将热量传导到自由空间的效率。PCB 板的顶部和底部应该预留足够的空间，如果空间太小，空气流通就会受到极大的限制，从而导致热空气在这个空间累积，PCB 板就无法在这样的空间中有效的进行热传导。另外，外壳的设计要利用空气的自然对流来促进热传导。

垂直安装的 PCB 板的热对流更有效，这种情况下，在发热器件上方的器件会比其下方的更热。如果 PCB 板必须水平安装，那么尽可能将发热器件放在 PCB 板的顶层，PCB 板的上方更容易生成热流并有利于散热。

软件优化

产品的性能需求也要加以考虑。各个模块的电压和频率应该根据当前的应用所需动态地保持在最低要求。系统应当在任何可能的时候进入低功耗模式。不需要的电源应该关闭。仔细确定系统各个模块的最低正常工作条件有时是降低系统散热的最有效方法。建议客户使用 NXP 网站提供的最新 BSP 进行产品开发。

仿真

基于以上的几点，显然热管理是一个非常复杂的学科，有很多因素需要考虑。为了确定系统能否在限定的条件下稳定工作或者找出潜在的被忽略的问题，客户需要做热仿真。NXP 可以为客户提供每个芯片的热仿真模型，并且建议客户用这些模型在他们的真实项目和特定应用场景下做仿真，这在外型尺寸较小的产品的设计中变得越来越重要。

6 i.MX8X 硬件启动 bring up

Bring up 需要参考的文档与使用工具

IMX8_Hardware_Developers_Guide_v1.0.pdf	Chapter 9. Avoiding board bring-up problems
IMX8DQXPRM.pdf	Chapter 5 System Boot
mx8_ddr_stress_test_ER13.1_installation.zip	内存测试工具
uuu	镜像下载工具
USB 线	用于镜像下载(注意 i.MX8QXP MEK 板可以使用 type-C 的线通过 cpu 板上 type-C 口下载，也可以使用 USB mini 线从底板上 miniUSB 接口下

	载)
串口线	i.MX8QXP MEK 板有串口转 USB 芯片，所以使用了 USB mini 线
可限流有源电源	防止过流烧坏
万用表	用于检查电源及电路通断情况
示波器	用于检查启动设备上的信号情况

在 bring up 前，需要熟读并了解 i.MX8QXP 启动相关的资料并了解相关工具如何使用，特别是对 i.MX8QXP 的 ROM code 执行过程要充分理解，如下：

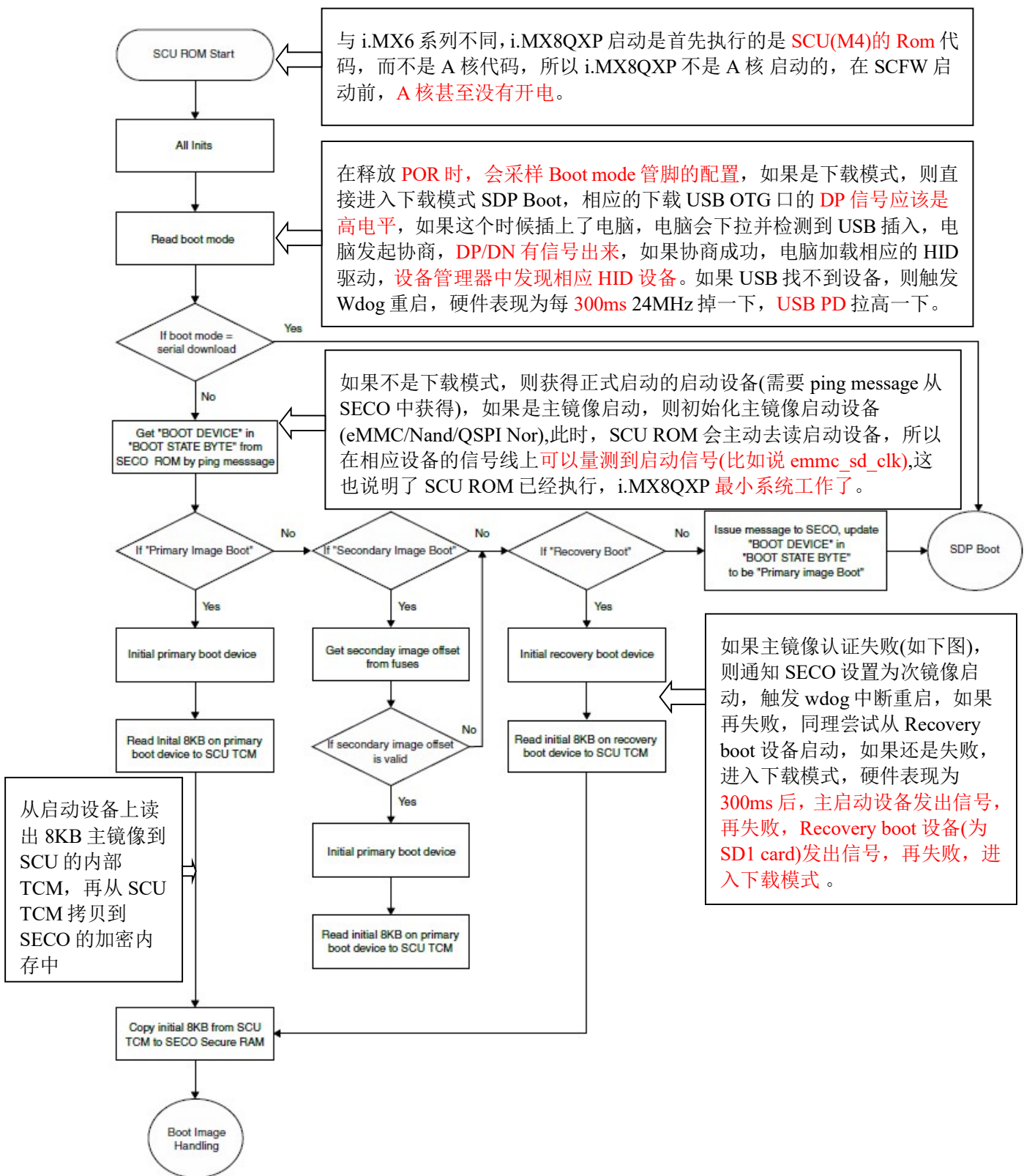


Figure 5-2. High Level Boot Flow (1 of 3) - SCU ROM Boot Start

本段流程主要为镜像认证过程，注意：

- i.MX8X B0/C0 不再支持 DDR 镜像初始化，DDR 初始化使用 SCFW 代码实现。i.MX8X B0/C0 启动需要 Auth Container.
- 默认 Linux BSP 不使用 SPL(AP IPL),Android BSP 使用 SPL，M4 镜像可有，可没有。
- 正常启动会开始启动 SCFW, SCFW 是运行在 SCU+TCM 上的。硬件表现为：如果 SCFW 正常运行，则可以从 SCU 串口上看到调试信息；SCFW 也会打开 A35 电，反之，空板 A35/GPU 默认无电。

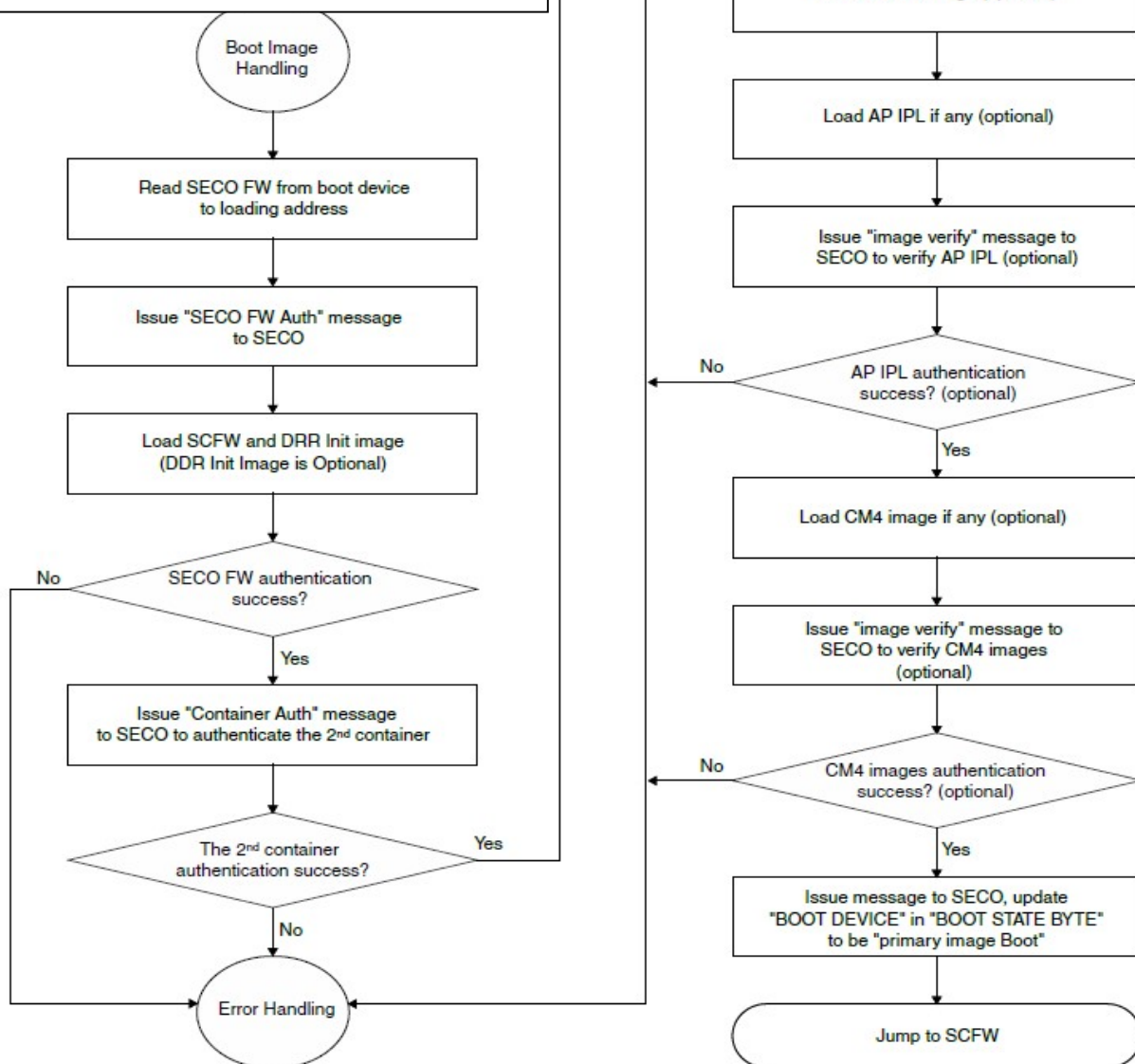
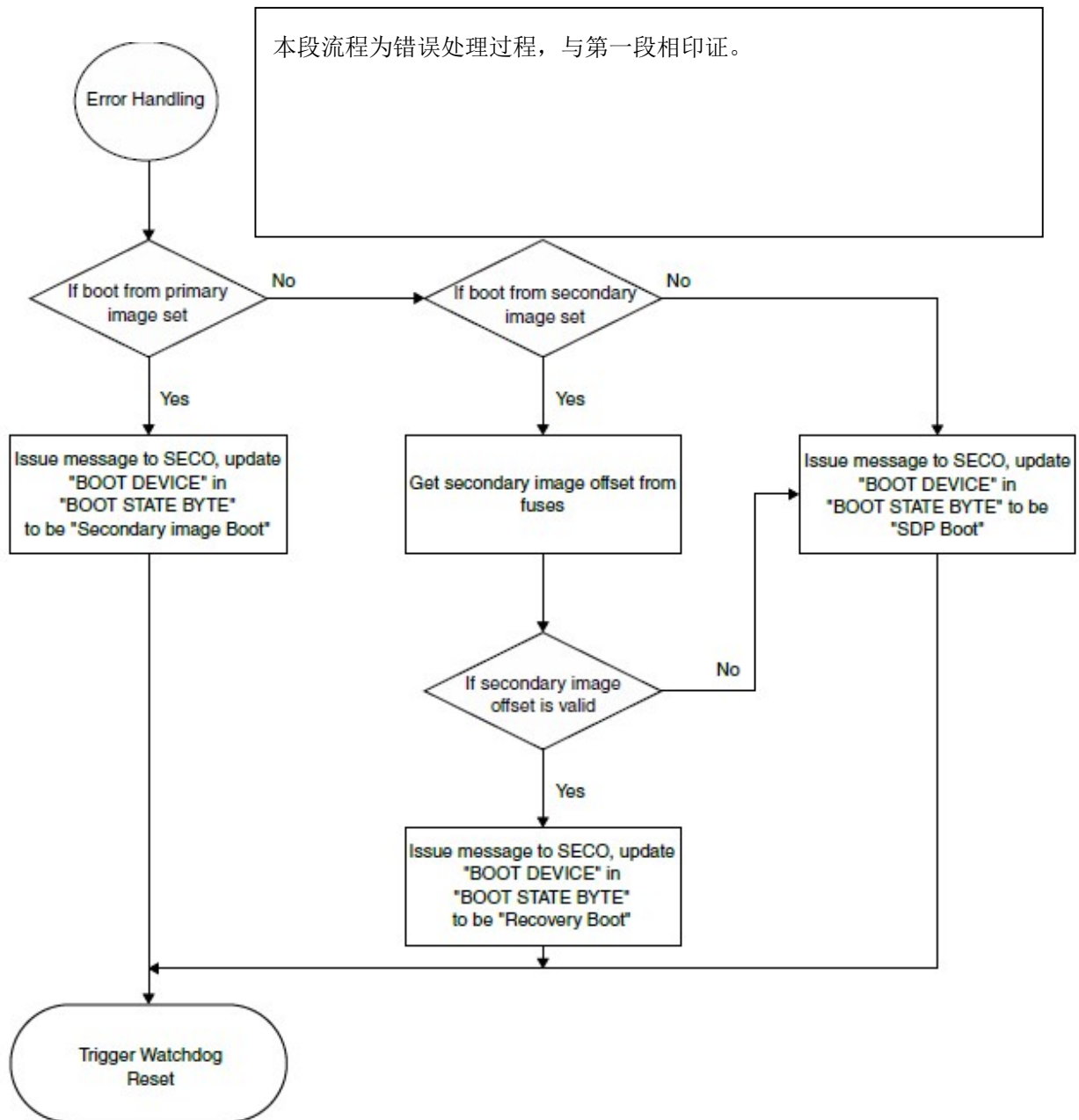


Figure 5-3. High Level Boot Flow (2 of 3) - SCU ROM Boot Image Handling



Bring up 需要准备的文档与使用工具

在启动，测试之前至少要准备以下四份文档：

1. 电源电压测试报告：不准确的电压或上电时序是导致启动失败的原因之一，所以在空板上电后首先要检查电压与上电时序，电压一般建议在空板，和烧写镜像后的板子上在高负载的时候再量一下（当然如果已经 bring up 成功的话）。对于重要的大电源，建议在靠近 PMIC 输出的地方，和 i.MX8X 输入的地方 都量一次，查一下 IR drop.

i.MX8QXP 如果是空板的话，要求 VDD_SNVS, VDD_MAIN, VCC_SCU_1V8, VDD_DDRIO, 有电，VCC_CPU/A35 是由 SCFW 打开的，VCC_GPU 则是由内核驱动打开的，默认空板这两路没电（注意公网上的硬件设计指南 1.0 版本此处有错，以后会修改）。示例的电源电压测试报告如下：

电源源	上电时序	网络名	期望电压 (V)	空板实测 (V)	高负载实测 (V) 是否打开 DVFS(N)	测试点	说明
外部 DCDC							
PMIC							

i.MX8QXP MEK 板原理图中的电源表如下：

Power Table			
Power Net Name	Voltage	Regulator	Test Point
VCC_SNVS	3V	PMIC SNVS	TP66
VCC_SCU_1V8	1.8V	PMIC LDO1	TP51
VCC_LDO_SD1	3.3/1.8V	PMIC LDO2	TP52
VCC_MAIN	1.0V	PMIC SW1 & SW2	TP53
VCC_GPU	1.1V	PMIC SW3	TP54
VCC_CPU	1.1V	PMIC SW4	TP55
VCC_DDRIO	1.1V	PMIC SW5	TP56
VCC_3V3	3.3V	PMIC SW7	TP58
VCC_1V8	1.8V	PMIC SW6	TP57
VCC_EXT_5V0	5.0V	IR3895MT	TP46
VCC_EXT_3V3	3.3V	IR3827M	TP45
VCC_EXT_1V8	1.8V	IR3827M	TP47

注意如果是第一板设计，要考虑留下测试点，以后量产前硬件稳定后，可以去掉。

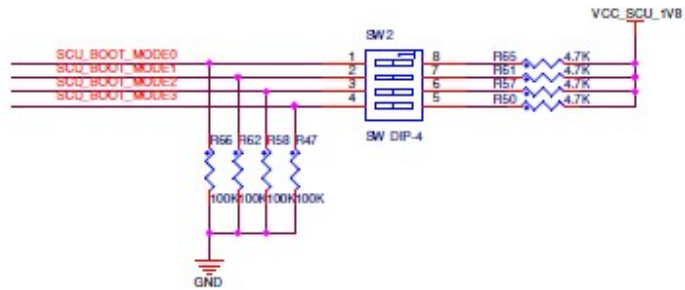
2. 启动模式配置表：正确的启动模式配置是启动成功和调试时的关键因素，所以建议要准备此表，需要参考芯片用户手册中启动模式一章，此表示例如下：

SCU_BOOT MODE0	SCU_BOOT MODE1	SCU_BOOT MODE2	SCU_BOOT MODE3	Boot Mode	i.MX8QXP 启动设备信号测试点：
i.MX8QXP MEK SW2 1	i.MX8QXP MEK SW2 2	i.MX8QXP MEK SW2 3	i.MX8QXP MEK SW2 4		

0	0	0	0	Boot from eFuse	N/A
1	0	0	0	USB Serial download	J10 USB2_DP (OTG2) 或底板上: J39 MICRO_USB_DP (OTG1)
0: eMMC0 Boot	1	0	0	USDHC boot	i.MX8QXP MEK eMMC sd_clk 没有设计测试点, 建议加上。 SDcard 的 USDHC1_CLK 设计有 DNP 的上拉电阻, 此处可以测试
1: USDHC1 SD boot					
0: 一个 block:128 个 pages	0	1	0	Nand Boot	i.MX8QXP Validation 板上的 SD1_CMD_ NANDCE0 上设计有选择电阻, 可以用于测试
1: 一个 block:32 个 pages					
0: Flash with 3B READ(0x03) default supported	1	1	0	Flex SPI Boot	i.MX8QXP MEK 板的 QSPI0A_SCLK 没有设计测试电阻, 建议加上, 但是 QSPI0A_SS0_B 上有
1: Hyperflash 3.0					

i.MX8QXP MEK 板的 boot mode 配置电路如下:

BOOT Selection Switches



SCU_Boot_Mode	3	2	1	0

BOOT From Fuse	0	0	0	0
Serial Download	0	0	0	1
eMMC0	0	0	1	0
SD1 boot	0	0	1	1

NAND 8-bit 128page	0	1	0	0
NAND 8-bit 32page	0	1	0	1

QSPI 3B READ	0	1	1	0

i.MX8QXP 芯片手册中 boot mode 对应的 fuse 定义如下：

Table 5-3. Boot eFuse Descriptions

Fuse	Definition	Settings
0x4[10] (Supp) SDP_DISABLE	Prohibit Serial Download Protocol support. This feature will override SDP_WRITE_ONLY setting.	0 - SDP is supported. 1 - SDP is not supported
0xE[8] (Supp) FORCE_BT_FROM_FUSE	Instructs ROM to not sample the System Controller boot mode pins and only use eFuses.	BootROM will retrieve boot mode from this fuse instead of BOOT_MODE pins. If BT_MODE_FUSES not blown, BootROM will go into serial download mode.
0xE[10] (Supp) ROM_NO_LOG	If blown, ROM will not log event to log buffer	0 - Log 1 - No log
0x2[5:0] (Main) BT_MODE_FUSES	eFuse value of the Boot mode.	BootROM will retrieve boot mode from this fuse instead of BOOT_MODE pins if BT_FUSE_SEL or BOOT_MODE_PINS=0x0.
0x2[8] (Main) WDOG_ENABLE	Enable SCU WDOG	0 - WDOG reset counter disabled during Serial Downloader. 1 - WDOG reset counter enabled during Serial Downloader.
0x2[10:9] (Main) WDOG_TIMEOUT_SELECT	Configures the timeout value of the WDOG reset counter.	00 - 2 seconds 01 - 1.5 seconds 10 - 1 second 11 - 0.5 second
0x2[12] (Main) SCU_ICACHE_DISABLE	Instructs ROM to enable or disable instruction cache during execution of SCU ROM.	0 - Enabled 1 - Disabled
0x2[18] (Main) Disable SDMMC Manufacture mode	Instructs ROM to disable or enable SD/MMC manufacture boot.	0 - Enable 1 - Disable

Fuse	Definition	Settings
0x3[6] (Main) FastFRZ Disable	Instructs SCU ROM to enable or disable Fast FRZ when configure pads setting involved in boot	0 - Fast FRZ enabled 1 - Fast FRZ disabled
0x1B0[28:24] (Main) Image Container Set1 offset selection	Offset = 1MB*2^n. n = 2 if fuse is 0, n = 0 if fuse is 2, secondary boot disable if fuse value bigger than 10. For FlexSPI boot, the valid values are: 0, 1, 2, 3, 4, 5, 6, 7	n = fuse value if fuse value is not 0 nor 2 nor bigger than 10.

Shadow	Fuse Row Index	7	6	5	4	3	2	1	0
0x0900 - 0x0910	16 - 17	Reserved							
0x0920 [7:0]	18	FORCE_C OLD_BOO T	BT_FUSE_ SEL	BT_MODE_FUSES [5:0] Boot ROM will retrieve boot mode from this fuse instead of BOOT_MODE pins if BT_FUSE_SEL or BOOT_MODE_PINS=0x0					

启动模式配置表可以方便软硬件工程师在 bring up 时检查启动配置和测试相关启动设备信号。

- 内存配置脚本，用于内存配置，压力测试与软件工程师在 SCFW 中配置内存初始化参数，详情请参考文档：《MX8X_内存配置与测试应用手册_V*.pdf》。
- IOMUX 配置表，用于检查外设 IO 配置，主要给于软件工程师参考在 DTS 中配置外设驱动 IO,可以使用 iomux 工具得到，或者自己总结，样表如下：

iMX8QXP 管脚名称与序号	网络名	IOMUX	用于	DTS 配置
MCLK_OUT0(L29)	MCLK_OUT0	ALT0	AUDIO_MCLK	SC_P_MCLK_OUT0_ADMA_ACM_MCLK_OUT0
SPI2_SDO(P32)	IOEXP_RST_1V8	ALT1	GPIO1_1	SC_P_SPI2_SDO_LSIO_GPIO1_IO01
...				

相关 IOMUX/IOPAD 也可以参考相应 IOMUX/IOPAD 寄存器。

总结：以上文档是正常硬件 bring up 和软件启动的基本资料，建议都要仔细准备。

Bring up 检查列表

根据以上说明，总结按序硬件 Bring up 的过程列表：

顺序	检查项目	说明
0	PCB 板检查	没有焊接原件的 PCB 光板，先用万用表检查有没有短路和断路的情况，特别是电源的短路
以下为空板测试		
1	上电前目视检查和测试检查	检查主要器件是否有错贴的情况，比如说二极管，三极管，有没有安装位置反向或旋转的问题。 可以在 PCBA 时使用 X 光检查，有条件的使用 BSDL 检查来确认焊接与连线。 再使用万用表检查有没有短路和断路的情况，特别是电源的短路
2	上电检查电源	<ul style="list-style-type: none"> 使用限流电源上电，上电过程中如果超过限流，立即关掉，检查电源短路情况，检查 i.MX8X 每路电源的电压是否符合我们 datasheet 要求，量测电压是要求在电源输出端和 i.MX8X 电源输入端(越近越好，如在滤波电容上量测)都量测一下，以避免 IR 跌落。i.MX8QXP 的 VDD_SNV5/MAIN/DDRIO 和 SCU_1V8 必须要上电，VCC_A35/GPU 默认不上电。参考电源电压测试报告填表。 使用示波器检查电源上电时序是否满足数据手册要求。
3	检查系统时钟	电源正常后，时钟会自动起振，使用示波器检查，XTALI/XTALO（用于 PLL 参考）和 RTC_XTALI/RTC_XTALO 时钟分别是 24mhz 和 32.768khz 基准时钟的主要时钟

		源,检查晶体频率时,使用有源探头以避免过度负载。被动探头通常会阻止 32.768 kHz 和 24 MHz 振荡器启动。					
4	检查 POR 是否正确释放	在所有电源都启动并稳定后,确认上电复位 (POR_B) 已释放 (高), Boot mode 的设置会在释放 POR_B 时采样, i.MX8X 也在此时正式启动, 首先执行内部固化的 ROM Code,前文已经分析了 ROM Code 的执行流程, 以下为两种 Boot 情况说明					
5	SCU ROM 是否正常启动	正常启动,以 eMMC 为例(Boot mode=0b0010)		USB 下载模式(Boot mode=0b0001)			
		eMMC_SD_CLK 上是否有信号输出?		USBx OTG DP 在没连上 PC 的情况下 DP 是否上拉			
		是	否	是	否	DP 300mS 周期性上下拉	
		SCU ROM 已经正常执行,对于空板,认证镜像失败后会触发一次 secondary boot 和一次 recovery boot (SD1_SD_CLK 上有信号发出),再失败后回进入 USB 下载模式	可以判断为芯片可能没有启动,回头从第 1 步开始重查。	连上 PC, DP/DN 上是否有信号发出, PC 上设备管理器上是否有 HID 设备弹出		USBx OTG PHY 的电源需要供电。	如前章所说,可能因为另一个 OTG 口没有供电,或信号有问题(比如说信号管脚被外部拉死),导致的 wdog 重启
				是	否		
		进入下载模式,可以用于镜像下载或 DDR 测试	PC 是否弹出未识别的设备,如果是要考虑 USB 信号质量问题,也可能是启动失败,可以通过 boot 设备上是否有信号来再次确认				
6	内存测试	请参考文档《MX8X_内存配置与测试应用手册_V*.pdf》进行内存测试,是否通过					
		是	否				

		可以使用 uuu 下载镜像，或是使用 SDcard 启动	根据文档《MX8X_内存配置与测试应用手册_V*.pdf》调节内存配置为正确后，再调节驱动能力后也不能通过，则检查内存阻抗，等长和颗粒质量
以下为烧写镜像后的测试(SCFW 建议打开调试接口)			
7	SCFW 是否运行	SCFW 串口是否有打印，VCC_CPU/A35 是否由 SCFW 打开	
		是	否
		继续调试软件 bringup	因为 SCFW 是运行在 SCU 的 TCM 内部，并不依赖与外部内存，所以如果是串口没有输出，要考虑是否修改过 SCU 串口，如果有，需要修改，如果是串口没有输出，VCC_CPU/A35 也没有打开，要怀疑是否是镜像认证失败？认证失败与空镜像一样，也会重新开始 secondary boot, recovery boot,和 usb serial download,流程与前面一样，镜像认证失败有可能是镜像有问题，也可能是 eMMC 的信号质量问题，eMMC 设计再次确认阻抗，等长，可以调节 sd_clk 的串阻阻值或管脚驱动能力来 turning。
8	软件运行	Uboot/ATF/Kernel 相应串口是否已经运行	

硬件 bring up 结束，参考文档《MX8X_x.xx.xx_ga_BootLoader_Vx_chn.doc》和《MX8X_x.xx.xx_ga_kernel_Vx_chn.pdf》进行软件定制和 bring up，如果有 sdcard 的，可以使用 sdcard 直接启动调试，如果没有，直接调试 uuu 的软件。

7 试产与量产前检查点

内存稳定性

i.MX6 系列因为只支持手动内存校准，所以如果量产时如果 PCB 换了板材，厂家或批次，就可能导致 PCB 阻抗变化，另外外部内存颗粒的变化，比如说型号，批次可能导致制成变化，从而影响了阻抗变化，这样的话，都需要手动重新校准内存。

i.MX8X 的内存控制器 IP 进行了升级，支持自动校准，所以理论上如果是严格按照硬件设计文档设计了内存信号的等长，和 PCB 阻抗匹配，则自动训练(校准)功能可以理论上涵盖这样差异，但是仍然建议在试产和正式量产之前使用内存压力测试工具测试内存稳定性，应该注意：

- 应该从试产 PCBA 板上随机抽样选取一定数量板子来测试。
- 测试应该在常温，产品要求的最低，最高温度下分别测试。
- 测试要连接调试接口，观察是否有自动训练错误或压力测试错误

- 建议除了使用内存压力测试工具，也需要实际做内存压力测试，比如在 Linux 启动后使用 Linux 的 memtester 工具来测试内存

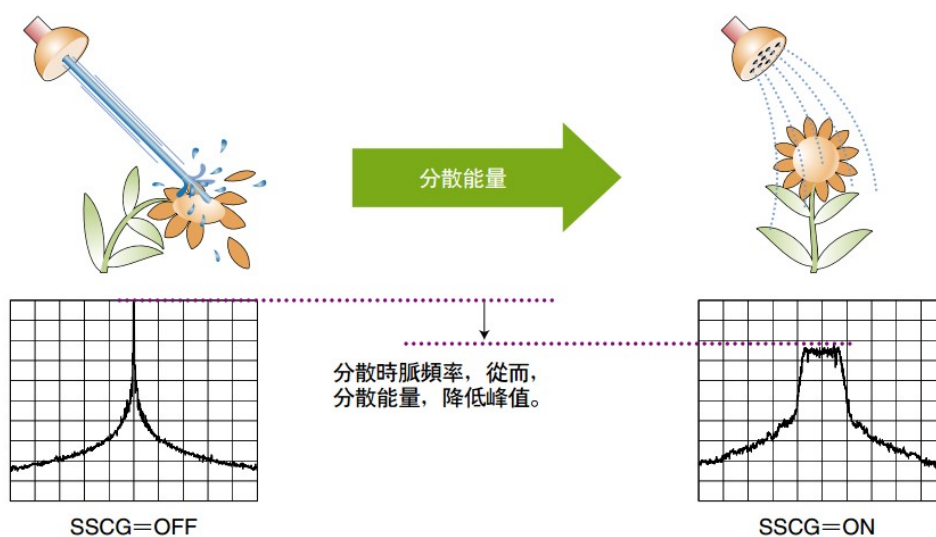
ESD 与 EMI 考虑

一般来讲，硬件设计的第一板是验证硬件和软件驱动，第二板是修正相关硬件设计失误，从第三板到第四板就要开始为量产准备，要考虑机构，ESD, EMI 等等 问题，并进行相关测试，

ESD 测试可以参考数据手册中 ESD 要求。

EMI 的话主要是要考虑被动和主动降低 EMI 的方法

- 被动方法包括屏蔽、滤波、隔离、铁氧体磁环、以及在 PCB 中增加电源和 GND 层等等。以及信号边沿控制，信号边沿控制可以通过软硬件手段做到，可以在板子的不同工作状态测试 EMI, 比如是没有屏显示的情况和有屏显示的情况，如果后者 EMI 超标，则可以怀疑是由于屏的高速 pixel clock 导致的，优化方法包括调整 pixel clock 上的串联和软件调整相应管脚的驱动能力，emmc_sd_clk, sdcard_sd_clk 也类似，建议硬件设计上预留串阻。
- 展频时钟（Spread Spectrum Clocking）是另一种有效主动降低 EMI 的方法。



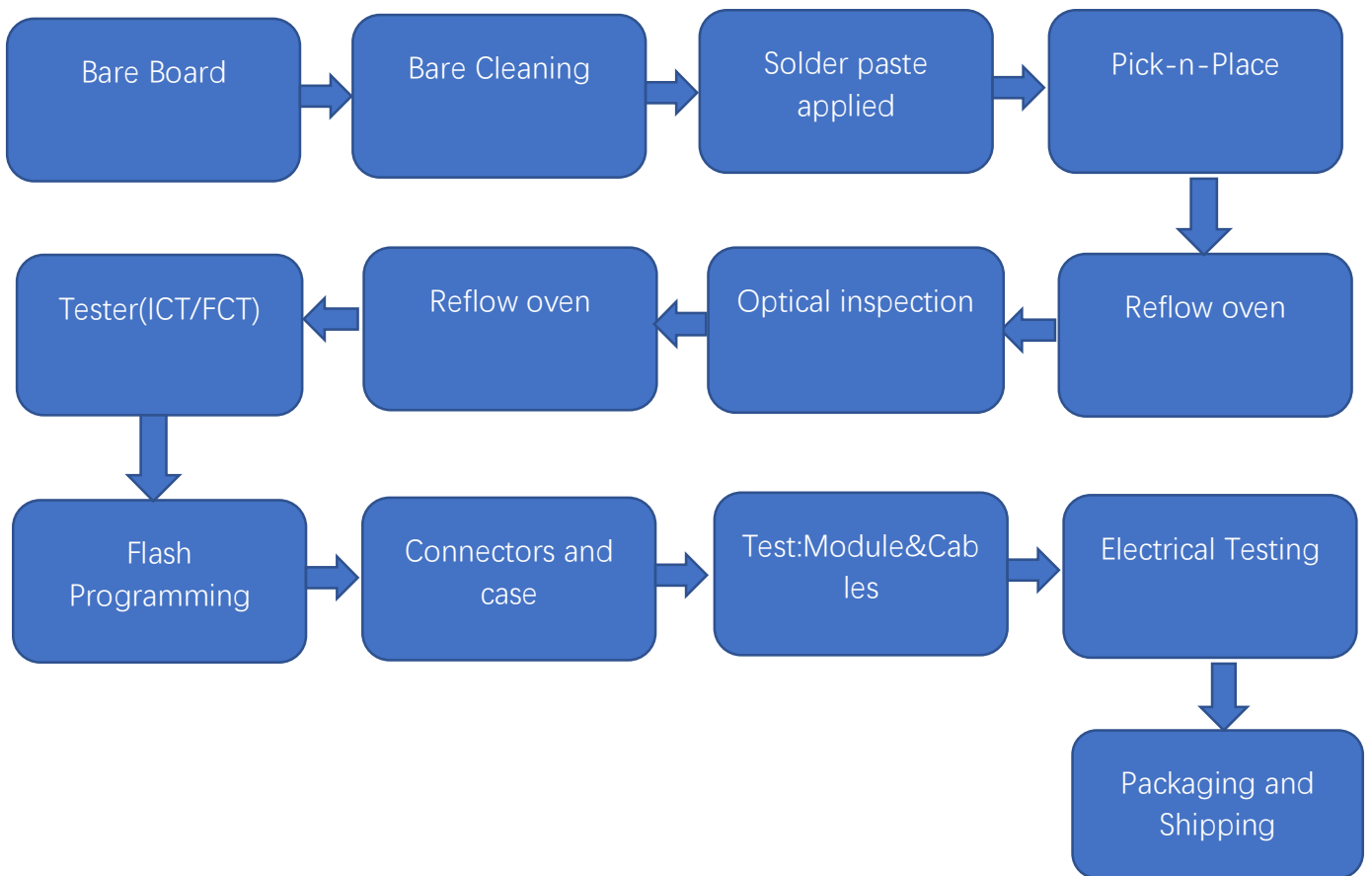
i.MX6 支持外设的根 PLL2 展频，需要 plug-in 汇编代码支持，i.MX8X 目前仅支持对 LVDS 的根 PLL 展频，从而优化 LVDS 屏(包括连接 serdas 的屏)的 EMI, i.MX8X SCFW 提供 APIs 使能展频功能，软件修改非常简单，具体可以参考：

<https://community.nxp.com/docs/DOC-343521>，文档《User Guide of Spread Spectrum for i.MX8QM_QXP Display 2.0.pdf》，注意此文档是针对 SCFW V1.2.2 的，从 SCFW V1.2.10 开始支持展频幅度调节，具体信息参考 SCFW Porting doc 和 Bootloader 定制文档。

因为 i.MX8X 目前仅支持 LVDS 屏的展频，所以对其它可能通过 PCB 板或接口辐射出去的信号，要考虑被动 EMI 方法，比如说屏蔽，调节高频信号斜率（串阻，驱动能力）等，注意 EMI 和信号完整性是一体两面，需要通过 EMI 测试和调节来找到最好的平衡点。

产线设计

PCBA 的贴片工厂的自动化厂线工位可能如下：



所以在产品量产之前，需要和 PCBA 厂家，或是自有工厂，设计所以 PCB 板贴片生产的一切工位，工装，夹具，特别是在 ICT/FCT/FP 要多加考虑，

- ICT（在线测试）是使用传统的方法还是用 BSDL。
- FCT（功能测试）如何实现（Linux 根目录下有/uni_test 代码，可以参考，是烧写最小测试镜像？还是和 FP 一起用下载镜像来测试）和要实现那一些？（通常全部外设功能都需要测试）。

- FP（镜像烧写）如何实现(一般客户采用 NXP 提供的 uuu 下载工具来定制使用 USB OTG 线/接口下载，也用客户采用预煤)

另外要格外注意的是产线的 EOS/ESD 防护，后文详细解释。

8 i.MX8X 失效分析流程

客户的终端客户，在质保期内遇到的产品失效情况，比较典型和急切的如 0KM 失效（比如说 4S 店发现的新车的仪表或中控产品黑屏，某些功能问题），或是在新车型试产，路测过程中发现的问题，而退件在客户端排查问题时，不能排除是芯片本身的问题，可能需要 NXP 原厂帮忙进行 FA 失效分析。

NXP 失效分析服务

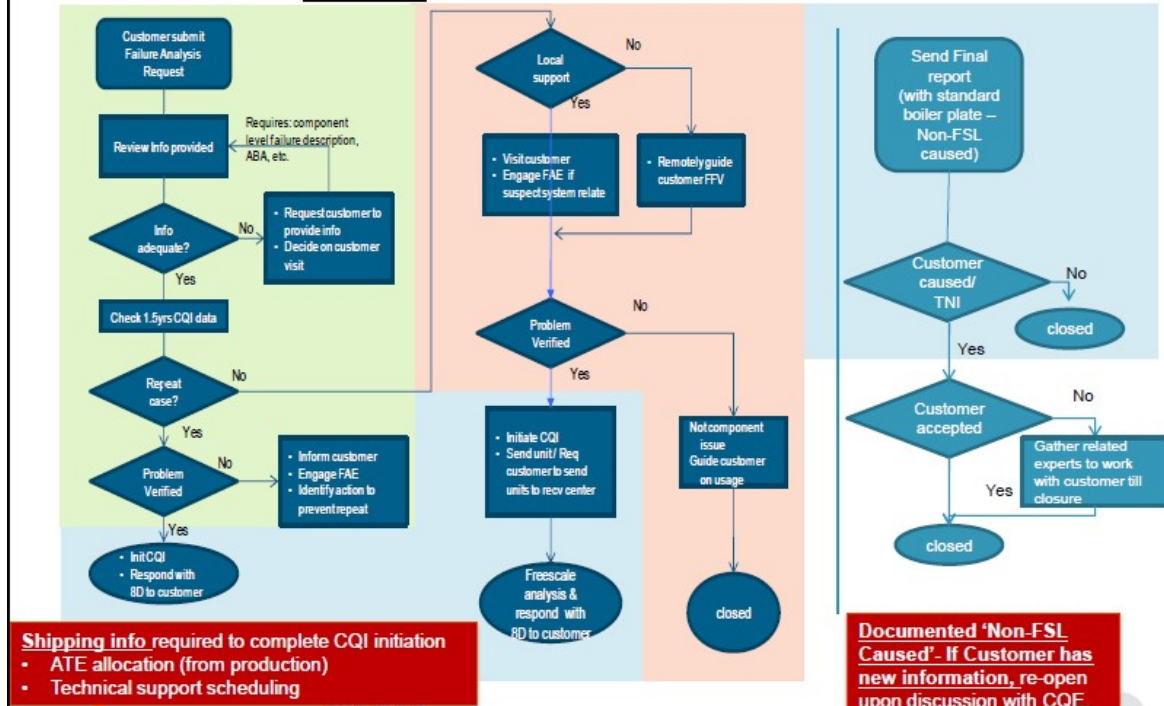
一般要求的申请者有可能为客户的质管部门(他们一般会直接反映到 NXP 的 CQI 部门)，或是生产部门通过采购反映到 NXP 的销售团队，然后转移到 CQI 部门，或是其研发部门反映到 FAE 部门，FAE 加入 CQI 的 FQE 参与。

- 所以 NXP FA 的对口部门是：FSL CQI Team.
- FA 服务的对象是客户生产部门的质管部门，一般针对量产客户在一定时间，出现一定数量的怀疑芯片失效，产品的 PPM 不能覆盖。注意一般来讲 FA 是针对量产产品的失效，而不是对于研发中的产品的失效分析，因为一般量产的产线的 EOS/ESD 是可控的，而研发中的产品往往是不可控的，所以分析没有意义。
- 服务内容:客户报告的 fail case 中，可能涉及芯片质量问题，需要 NXP 帮助判断，注意 FA 的目的是客户怀疑失效问题是因为芯片原生质量问题导致的，而不是一个 debug 手段，比较典型的是芯片在生产过程中的 EOS/ESD 损坏，客户期望通过 FA 来找到问题原因，但是第一：如 EOS 的损坏，有可能是比较严重的损坏了，相关的线索可能已经消失，第二，FA 过程是需要成本的，所以目的是确定是否是芯片的原生质量问题，如 EOS 等损坏，一般可以通过系统分析，管脚阻抗，IV 测试，或是通过光学显微镜直接观察到，此类问题一般不会走完 FA 全流程，因为不是芯片原生问题，也可能无法找到根本失效原因，损伤过于严重(CQI team require to decrease the possible EOS/ESD FA application)
- 分析时间周期:一般在一个月以上。

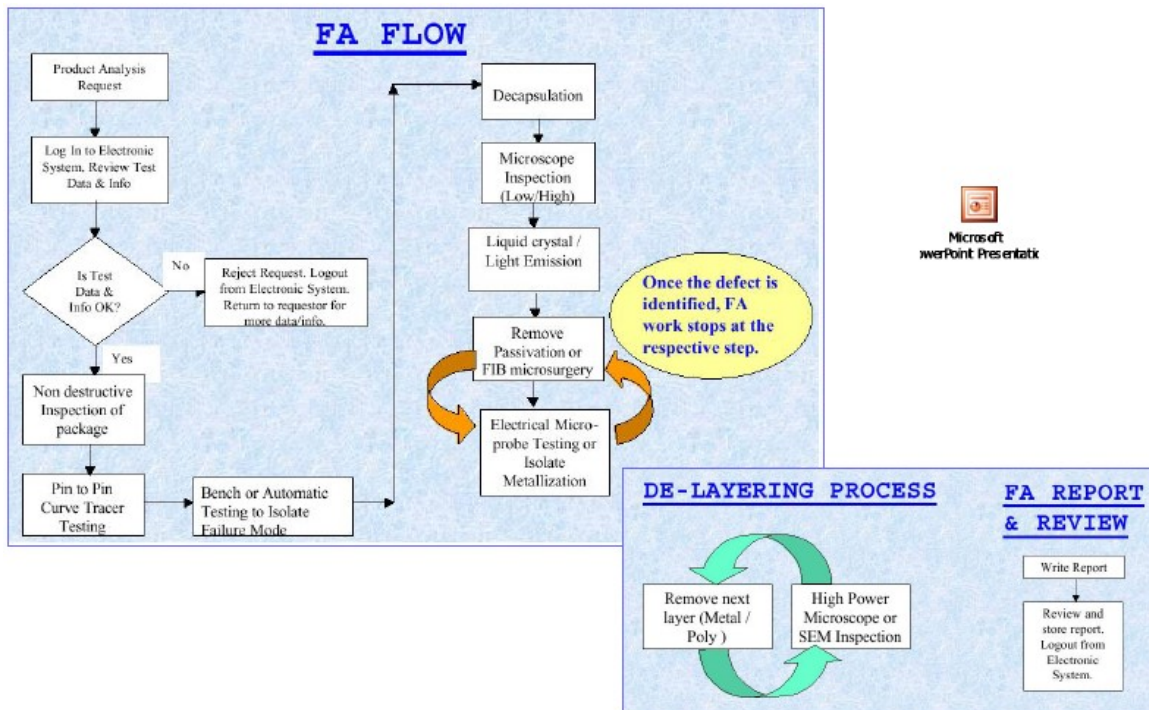
NXP FA 失效分析流程

如下图：

Field Failure Verification & CQI Initiation Flow



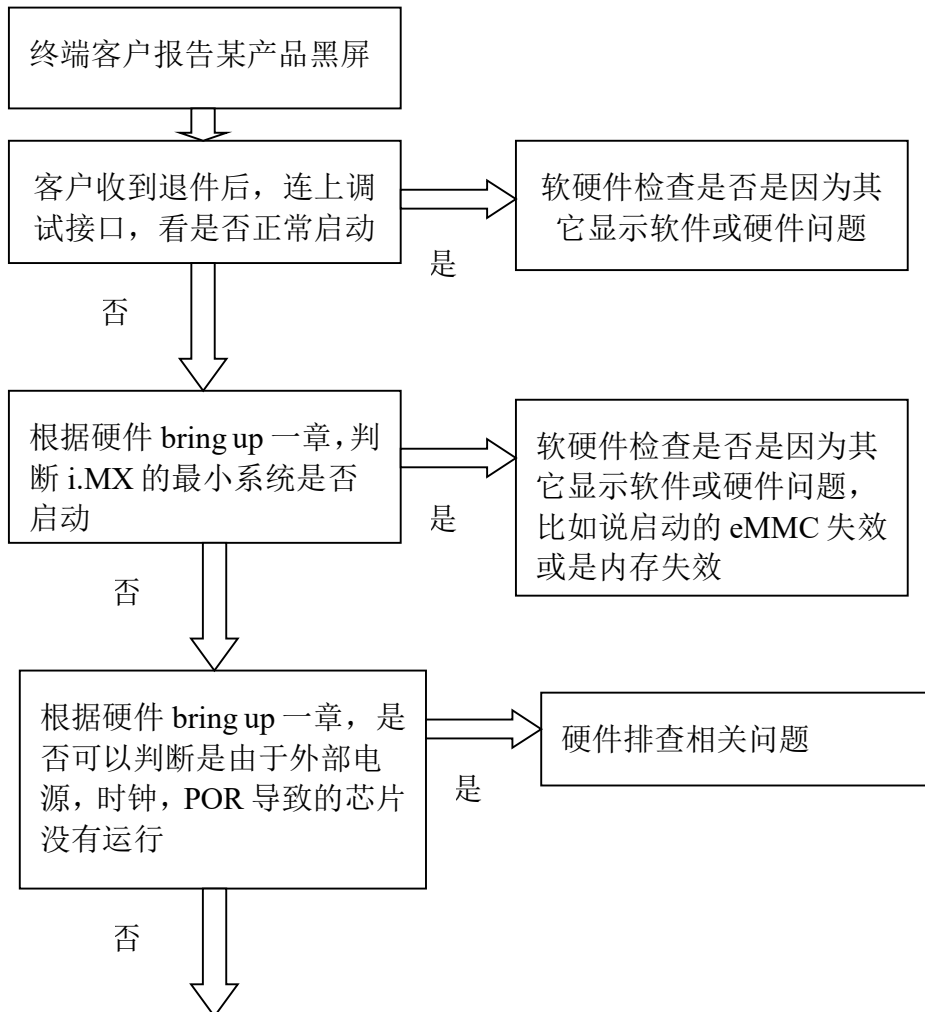
其中 NXP(Freescale)工厂分析流程如下图:



筛查是否是芯片原生问题

所以从系统方面，客户与 FAE 一起分析和筛查是否是芯片原生问题，需要进行 FA 申请一般步骤如下：

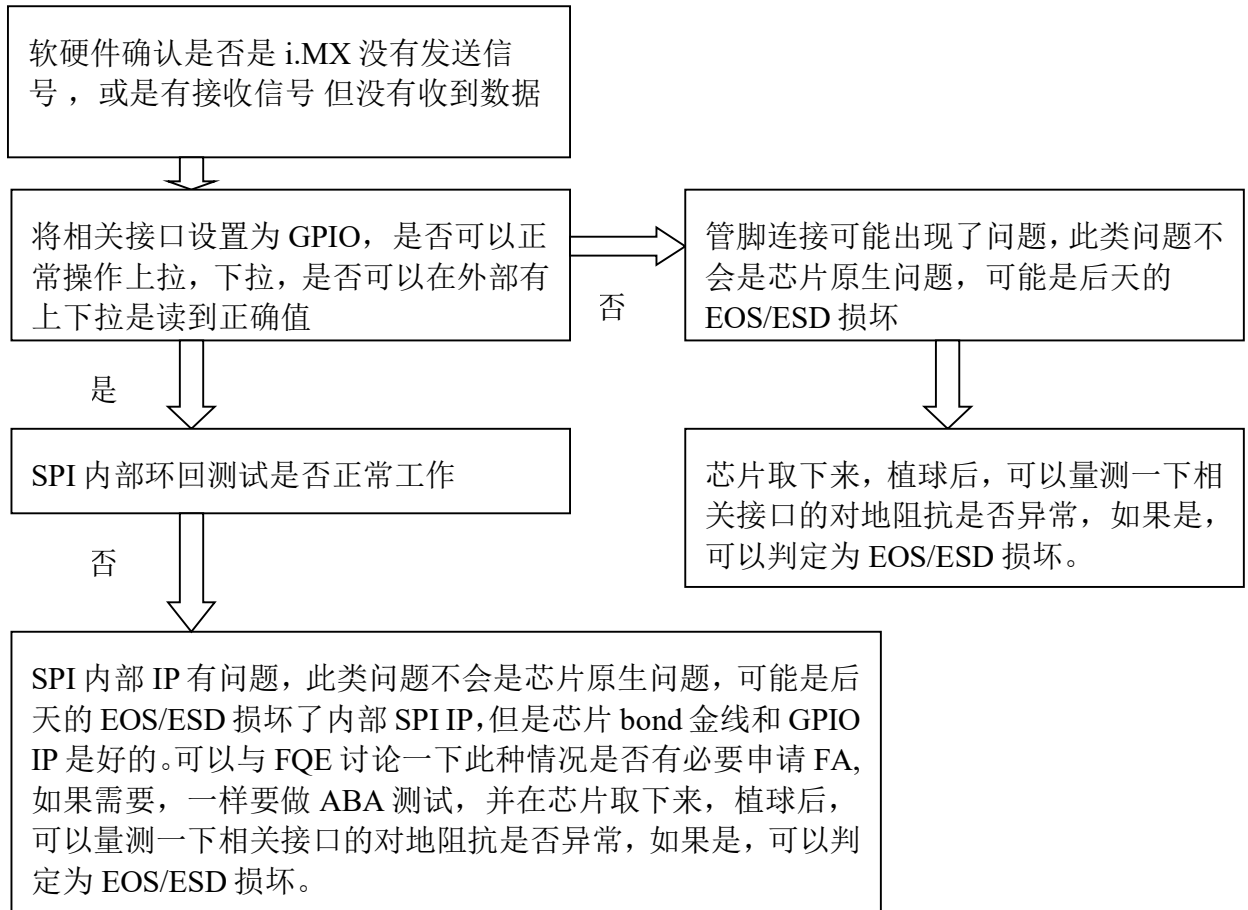
以黑屏为例：



判断是芯片没有启动，准备做 FA 申请，CQI 要求客户在应用之前，需要做 ABA 测试，以确定问题是跟随芯片走，ABA 测试过程如下：

1. 将坏板芯片取下来，重新植球，烘烤后焊接到一块本来运行正常的板子上，是否可以复现同样的问题，(在植球完成后，最好是量一下怀疑的失效地方，比如说启动不了的话，怀疑是电源问题，则量一下电源相关管脚的对地阻抗，与一块好的芯片光片对比，是否有量级区别，以判断芯片是否已经有 EOS/ESD 相关损伤)。
2. 将一块好的芯片，烘烤后焊接到坏的板子上，是否问题消失。
3. 将焊接到新的板子上的坏片取下来，重新植球，烘烤后重新焊接到原来的板子，是否问题又复现了？这种情况下再把芯片取下来，植球后，联系 FQE,填写 FA 问询表，将坏片寄给对口 FQE，申请 FA。

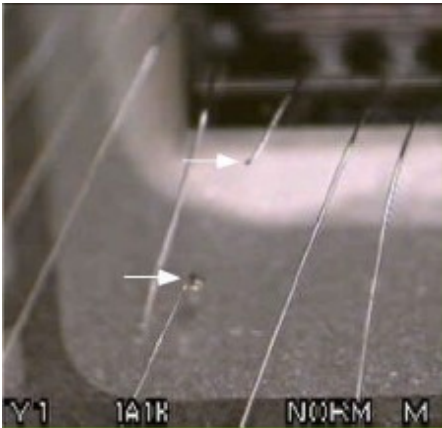
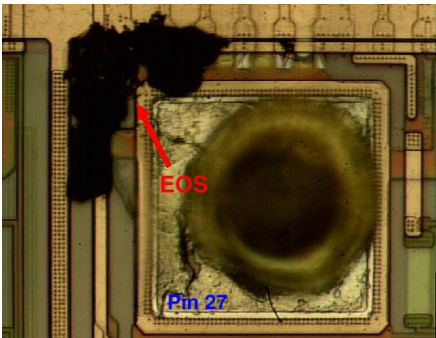
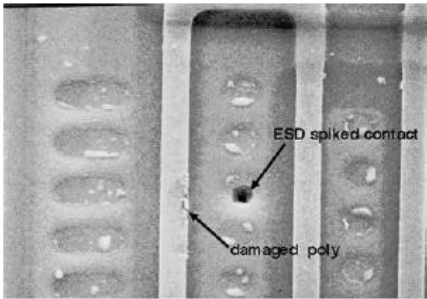
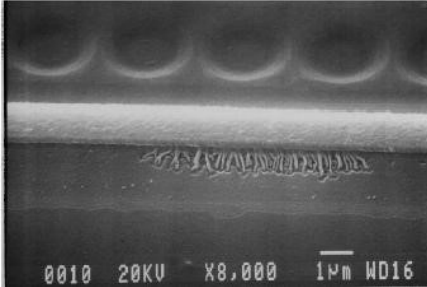
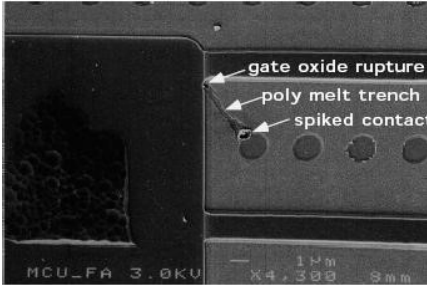
其它的怀疑芯片相关的问题比如说 i.MX 连接的外部伴随 VIP MCU 上的 SPI 口突然不工作了，如何排查问题：

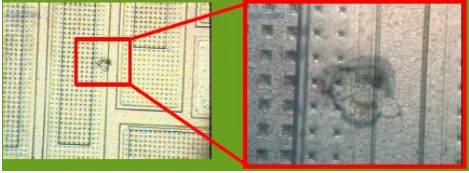
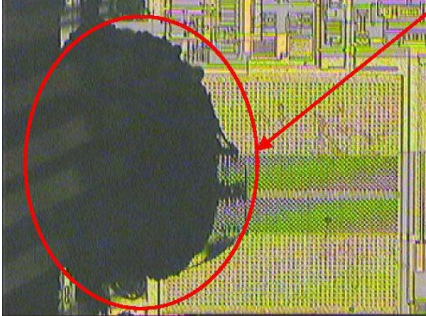


9 量产厂线的 EOS/ESD 控制

什么是 EOS/ESD

定义	Electrical Overstress (EOS) 与集成电路大的热损伤有关的广义术语	Electrostatic Discharge (ESD): EOS 的一个子集
说明	供给了 IC 错误的过大的电压或电流；损伤源可以是缺陷、过冲、过电压或过电流、大的瞬态事件。例如：电气测试瞬变或过电压/欠电压、大型 ESD 事件、PCB 或电缆放电事件，EOS 超过 IC 的最大额定值，故障分析报告通常根据损坏程度而不是原因来分类。	短时高能的脉冲冲击 IC；集成电路损伤与 ESD-HBM、ESD-CDM 损伤相似。损坏源可以是缺陷、过冲、较小的瞬态事件、较小的 ESD 事件、PCB 或电缆放电事件。
区别	EOS 的损害结果是作用与芯片的能量损害	ESD 事件，是不同电位的物体接触

	<p>从外部看，EOS 损伤会导致断路，短路，漏电，并影响芯片功能。</p>	<p>通常，芯片的 ESD 损伤会导致某个(些)管脚漏电或短路</p>
	<p>EOS 的上升时间慢，能量高，可以看到 bond 线和 die 上的金属损害情况。</p>	<p>EOS 长升时间快，瞬态高能量，表现为晶圆表面 Junction 退化，有金属熔化丝，接触损伤。</p>
	<p>可以通过光学显微镜看到 EOS 损伤</p>	<p>通常，大多数 ESD 损坏仅可以通过去掉封装后用扫描电镜检查</p>
	<p>是否需要去掉封装分析，取决于 EOS 损伤水平</p>	<p>ESD 损伤并不总是永久性损伤</p>
<p>本质区别: 能量冲击的上升时间</p>	<p>典型为毫秒到几秒级别，损伤情况也与能量脉冲积累的时间有关，时间越长，损伤越严重。所以 EOS 一般是由带电的超标，较长时间的冲击导致的，如带电切换电源(Hot switching)</p>	<p>ESD – Human Body Model (HBM): ~ 10 ns. ESD – Charged Device Model (CDM): ~ 1 ns. ESD – Machine Model (MM): ~ 1 ns. ESD 典型是由静电损伤导致的</p>
<p>典型的示例</p>	<ul style="list-style-type: none"> ● 熔断Bond金线：1~1.3 mil直径金线，1A电流就可以熔断，或是持续时间短的更高电流的脉冲，如5A, 1ms的脉冲：  <ul style="list-style-type: none"> ● 晶原表面材料与金属熔合（Die metallization）：通常有持续时间较短的高电流脉冲，晶原散热通过二氧化硅从金属化层传导到基板，由于二氧化硅是一种良好的热导体，因此所需电流通常很高——可达10安培： 	<p>损伤通常在金属（多晶硅）层下出现并观察到：</p>   

	<ul style="list-style-type: none"> ● 铝合金熔化进硅材料：大量的 EOS，从输出晶体管的漏极到源极的正电压尖峰可能导致铝合金穿过 S/D 结，导致源极到漏极短路：  ● 注：检查时可以直接看到的损伤结果：EOS 导致热点温度极高 (>1412 C)，由于晶原上碳化的晶原化合物，实际金属化可能不可见。碳化的晶原化合物是局部吸收能量和由此产生的高温的直接结果  	
NXP FA 策略	EOS通常会导致潜在的功能失效，通常情况下NXP有以前其它客户报告的类似情况与模式，会提供 Signature Failure Analysis (SFA) 报告给客户，这种情况下没有做FA的必要，这不是芯片原生的问题，NXP不会出厂这种情况的芯片。	
相同	两种情况的损伤机理都是局部加热	

设计中的 EOS/ESD 风险检查点

1. 不符合数据手册中关于最大额定值（AMR）的要求，比如说：
 额定绝对最大电压要求：

4.1.1 Absolute Maximum Ratings

CAUTION

Stresses beyond those listed under Table 6 may affect reliability or cause permanent damage to the device. These are stress ratings only. Functional operation of the device at these or any other conditions beyond those indicated in the “Operating ranges” or other parameter tables is not implied. Exposure to absolute-maximum-rated conditions for extended periods will affect device reliability.

Table 6. Absolute maximum ratings

Parameter Description	Symbol	Min	Max	Units
Core Supplies Input Voltage	VDD_A35	-0.3	1.2	V
	VDD_GPU			
	VDD_MAIN			

...

额定工作电压要求：

4.1.3 Operating ranges

The following table provides the operating ranges of these processors.

Table 8. Operating ranges¹

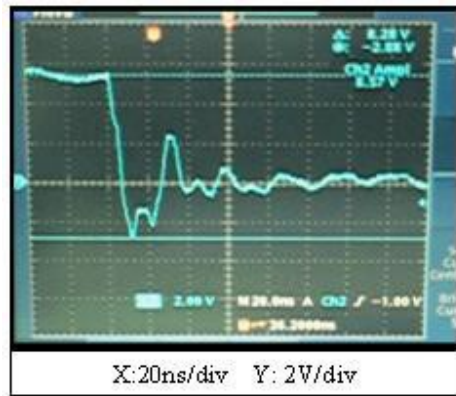
Symbol	Description	Mode	Min	Typ	Max	Unit	Comments
VDD_A35 ²	Power supply of Cortex-A35 cluster	Overdrive	1.05	1.10	1.15	V	Max frequency: 1.2 GHz
		Nominal	0.95	1.00	1.10	V	Max frequency: 900 MHz

ESD 要求：

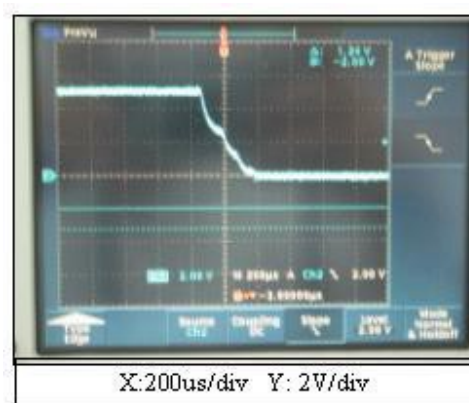
ESD immunity (HBM).	Vesd_HBMX	—	1000	V
ESD immunity (CDM).	Vesd_CDM	—	250	V

2. 带电切换电源（Hot Switching）：如下仿真的电源带电切换的结果

带电切换：电路在带电流的情况下连接和断连接，可以看到比较大的下冲，

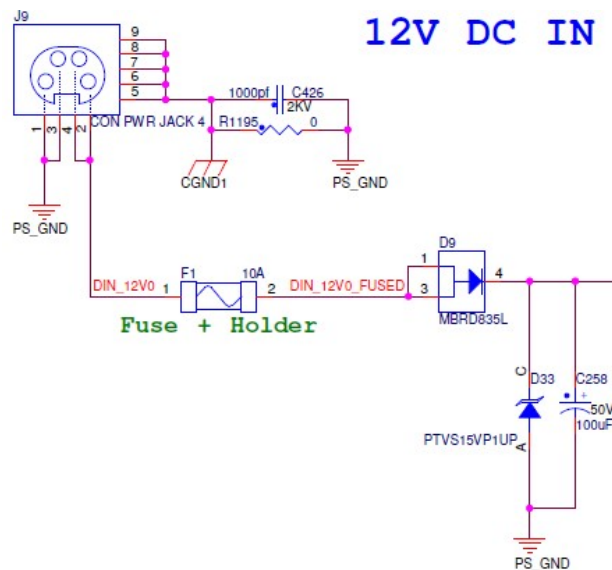


修改如下：在连接和断连接时，减少电流，形成多级台阶下降，结果平滑斜坡下降无下冲：



注意带电切换通常也是产线 EOS(ESD)损伤的通常情况，经常发生在在线测试和镜像烧录阶段，应该尽量避免带电操作，建议实际测试是否能观察到电源下冲。

3. 使用不规范的兼容电源，变压器，这一点对硬件的要求主要是在电源输入口要设计过压，过流保护：i.MX8QXP MEK 设计了过流熔丝和过压保护二极管：



4. 生产环境中静电放电的处理与预防

由于设计过程中，通过增加防 ESD 器件，屏蔽，良好的接地设计等，事实上的设计过程中的 EOS/ESD 的失误比较少见，大部分的客户的生产产品的 EOS/ESD 失效，往往是生产产线中的失误导致的，这种情况比较常见于新产品试产，产线工艺，流程或规范调整，甚至是生产人员调整(比如说一般春节复工时，与 EOS/ESD 相关的 FA 请求会增多)。所以下节详细说明 PCBA 贴片产线的 EOS/ESD 风险与防护。

生产产线中的 EOS/ESD 风险与防护

关于生产产线中的 EOS/ESD 风险与防护问题，相关定义除了 EOS/ESD 外如下：

- 瞬变过程(Transient): 瞬变过程中的能量大小会根据速度、峰值和持续时间造成 EOS 或 ESD 损伤。源可以是系统噪声、测试仪故障、过冲、欠冲、带电切换电源(Hot switching)、PCB 放电、电缆放电、ESD 事件等。
- 产线评估：专注于 PCBA 的充电事件（元器件，PCB,连接器，线束）等，特别是在可能发生损坏的接触情况，如在在线测试工位、镜像烧写工位、功能测试工位、拾取-放置装置、连接器安装工作、连接器线束安装工位。
- 电气瞬变过程评估：专注于静电测试仪器、尖峰、电压、过冲、欠冲、加电顺序和斜坡率、断电顺序、热带电切换电源(Hot switching)。

ESD 与 EOS 的测量 与防护方法如下：

1. 直接放电导致的 ESD 情况的位置与测量方法：

ESD 控制电压必须符合行业标准：ESDA S20.20；JEDEC JESD625A；IEC 61340-5-1-产品附近的控制电场强度。限制小于 100V。建议目标为 0V

2. EOS 的通常测量方法:

- **模块充电测量技术:** 指如何测量模块充电问题。它将确定在哪里产生电荷以及在哪里可能发生放电事件。在每个设备步骤（输入、处理、输出）中，使用静电电压表被保持在非常靠近模块的位置。
- **离子风扇有效性测量:** 指如何测量离子风扇对模块充电问题的有效性。静电放电标准表明如何验证离子风扇的功能，但不是指它有多有效。例如，离子风扇在产品上的位置可能需要 8 秒来除去电荷。但是，如果模块在 2 秒钟内通过离子风扇，离子风扇将无法有效地去除电荷。
- 在产线运行后至少 30 分钟后测试，测试多块 PCB 板，目标是 0V 静电，<100V 为好。
- 如果静电超标，需要测量 PCB 板充放电情况。

总结:

装配-所有塑料件（外壳、透明盖、刻度盘指针、挡板）都具有高电荷。所以到 PCB 板连接到如 ICT 的金属测试点时，一定要确保先接触地，在所有有这种情况的工位上都需要增加离子风扇，对 PCB 板每面吹 3~4 秒释放静电。

以下为各个工位的 EOS 风险及防护细节:

- **PnP : Pick-n-Place** 安装连接器工位会自动将 1.5KV 的带静电的塑料连接器插入 PCB。连接器引脚和印刷电路板之间的金属对金属接触会产生放电事件。塑料连接器的高电场会影响印刷电路板。接触 PCB 时产生放电事件（下一站是 FCT）。解决方案是在将连接器装入 pick-n-place 之前，在托盘上放置连接器的位置添加离子风扇。
- **ICT:** ICT 测试仪-绝缘支架（特氟龙支架）上的电位充电测试夹具。这会在印刷电路板上产生电场，从而导致从金属到金属接触的严重放电事件。解决方法是在盖子打开时使用离子风扇放电测试夹具。提高接地针的高度可以提高额外的安全裕度，这样可以在闭盖时先接触地，再接触测试针。除了 ICT 测试仪本身，PCB 也需要每面至少吹离子风扇 3~4S。
- **FCT:** FCT 的情况与 ICT 类似，不同点在于 ICT 可能没有供给 PCB 电源，而 FCT 需要给 PCBA 板系统上电，而且有烧写接口连接情况，所以除了增加离子风风扇和接地针先解除外，还要考虑带电切换电源的风险(Hot Switching)，比如说使用带限流功能的电源供电，在关电源时逐渐减少电流，减少电源抖动，尽量减少带电操作，特别要小心的是 USB 烧写接口的 VBUS 直接接触 i.MX 主芯片而产生比较大的电流抖动，要做到这点首先要保证先将 FCT 夹具与 PCBA 板充分接地，然后 VBUS 线上可以设计开关电路，如所有的 i.MX 开发板设计，都是在 i.MX 上电后，VBUS 才可以连接到芯片。
- **FP(Flash Programming):** FP 的情况与 FCT 相同，除了离子风扇和接地针先连接外，再次强调一下:

Flash 编程器电气分析：解决方案是在 PCB 和 USB OTG 下载线通电后提供电压（不要在 CPU 通电前给测试点通电（如引导引脚、USB Vbus 等）。以避免 Vbus 和 Boot mode 切换时带电切换导致的电流，电压冲击。

程序结束时，主电源未完全放电至 0V。这是 EOS 在下一个接触点（热切换）的风险。以及电流流动时断开编程仪的风险。这可能会导致 PCB 中的电流冲击。解决办法是留出足够的放电时间。将编程仪电源从 12 伏改为 0 伏，并留出足够的时间将大电流放电，在 FP 工位工装上可以设计放电电路，电源建议使用限流电源。

全文终，祝大家使用 i.MX8X 进行硬件设计产品一切顺利，轻松愉快。